

4

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: December 15, 2000

Application Number: Japanese Patent Application
No. 2000-381245

Applicant(s): TEAC CORPORATION

February 23, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3010030

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

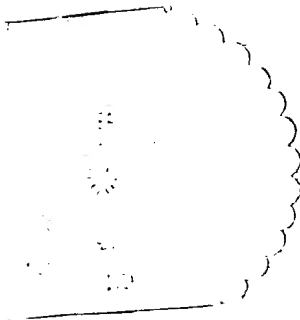
2000年12月15日

出 願 番 号
Application Number:

特願2000-381245

出 願 人
Applicant(s):

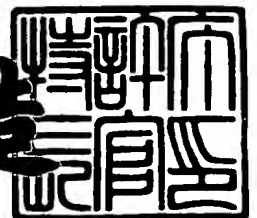
ティアック株式会社



2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3010030

【書類名】 特許願

【整理番号】 TEP990706B

【提出日】 平成12年12月15日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03D 1/00

【発明者】

【住所又は居所】 東京都武蔵野市中町3丁目7番3号 ティアック株式会社
社内

【氏名】 真下 著明

【発明者】

【住所又は居所】 東京都武蔵野市中町3丁目7番3号 ティアック株式会社
社内

【氏名】 上野 圭司

【特許出願人】

【識別番号】 000003676

【氏名又は名称】 ティアック株式会社

【代理人】

【識別番号】 100070150

【弁理士】

【氏名又は名称】 伊東 忠彦

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第361558号

【出願日】 平成11年12月20日

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9800117

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理回路及び信号処理方法

【特許請求の範囲】

【請求項 1】 入力パルス信号に応じたデジタル信号を生成する信号処理回路において、

前記入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、

前記クロックパルスのカウントするカウント手段と、

前記カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することを特徴とする信号処理回路。

【請求項 2】 前記クロックパルス出力手段は、

前記入力パルス信号が正極性のときにクロックパルスを出力する第一のクロックパルス出力手段と、

前記入力パルス信号が負極性のときにクロックパルスを出力する第二のクロックパルス出力手段とを有し、

前記カウント手段は、

前記第一のクロックパルス出力手段からのクロックパルスのカウントする第一のカウント手段と、

前記第二のクロックパルス出力手段からのクロックパルスのカウントする第二のカウント手段とを有することを特徴とする請求項 1 記載の信号処理回路。

【請求項 3】 前記第一のカウント手段は、

所定のカウント値で第一のタイミング信号を出力し、

前記第二のカウント手段は、

所定のカウント値で第二のタイミング信号を出力し、

前記出力手段は、

前記第二のタイミング信号で第一のカウント手段の第一のカウント値をラッチする第一のラッチ手段と、

前記第一のタイミング信号で第二のカウント手段の第二のカウント値をラッチする第二のラッチ手段とを有することを特徴とする請求項 2 記載の信号処理回路

【請求項 4】 前記出力手段は、
前記第一のタイミング信号を遅延する第一の遅延手段と、
前記第二のタイミング信号を遅延する第二の遅延手段とを有し、
前記第一のカウント手段は第二の遅延手段の出力信号によってリセットされ、
前記第二のカウント手段は第一の遅延手段の出力信号によってリセットされるこ
とを特徴とする請求項 1 乃至 3 いずれか一項記載の信号処理回路。

【請求項 5】 前記出力手段は、
前記第一の遅延手段の出力信号でセットされ、
前記第二の遅延手段の出力信号でリセットされるフリップフロップと、
前記フリップフロップの出力に応じて前記第一のラッチ手段にラッチされた第
一のカウント値と、
前記フリップフロップの出力に応じて前記第二のラッチ手段にラッチされた第
二のカウント値とを切り替える切り替え手段を有することを特徴とする請求項 1
乃至 4 いずれか一項記載の信号処理回路。

【請求項 6】 前記カウント手段は、
前記第一のクロックパルス出力手段からのクロックパルスをカウントする第三
のカウント手段と、
前記第二のクロックパルス出力手段からのクロックパルスをカウントする第四
のカウント手段と、
前記第三のカウント手段と前記第四のカウント手段の所定のカウント値に基づ
いて前記所定の期間を設定する設定手段とを有することを特徴とする請求項 2 記
載の信号処理回路。

【請求項 7】 前記第三のカウント手段は、前記所定のカウント値で第一のタ
イミング信号を出力し、
前記第四のカウント手段は、前記所定のカウント値で第二のタイミング信号を
出力し、
前記設定手段は、前記第一のタイミング信号及び前記第二のタイミング信号に
応じて前記所定の期間を定める信号を出力することを特徴とする請求項 6 記載の

信号処理回路。

【請求項 8】 前記設定手段は、

前記第一のタイミング信号でセットされ、前記第二のタイミング信号でリセットされるフリップフロップを有することを特徴とする請求項 7 記載の信号処理回路。

【請求項 9】 前記第三のカウント手段及び前記第四のカウント手段のいずれか一方は、前記フリップフロップのリセットに応じてカウント値がリセットされることを特徴とする請求項 8 記載の信号処理回路。

【請求項 10】 前記出力手段は、

前記フリップフロップの Q 出力のアップエッジに応じて第三のタイミング信号を出力するアップエッジ出力手段と、

前記フリップフロップの Q 出力のダウンエッジに応じて第四のタイミング信号を出力するダウンエッジ出力手段と、

前記第四のタイミング信号に応じて前記第一のカウント手段のカウント値をラッチする第一のラッチ手段と、

前記第三のタイミング信号に応じて前記第二のカウント手段のカウント値をラッチする第二のラッチ手段とを有することを特徴とする請求項 8 又は 9 記載の信号処理回路。

【請求項 11】 前記出力手段は、

前記第三のタイミング信号を遅延して第五のタイミング信号を出力する第一の遅延手段と、

前記第四のタイミング信号を遅延して第六のタイミング信号を出力する第二の遅延手段とを有し、

前記第一のカウント手段は、前記第六のタイミング信号に応じてリセットされ

前記第二のカウント手段は、前記第五のタイミング信号に応じてリセットされることを特徴とする請求項 10 記載の信号処理回路。

【請求項 12】 前記出力手段は、

前記フリップフロップの出力に応じて前記第一のラッチ手段にラッチされた第

一のカウンタ値と前記第二のラッチ手段にラッチされた第二のカウンタ値の出力を切り替える切り替え手段を有することを特徴とする請求項 1 0 又は 1 1 記載の信号処理回路。

【請求項 1 3】 前記出力手段は、

前記入力パルス信号と所定の位相差を有する位相差パルス信号を生成する生成手段と、

前記位相差パルス信号のアップエッジに応じて第三のタイミング信号を出力するアップエッジ出力手段と、

前記位相差パルス信号のダウンエッジに応じて第四のタイミング信号を出力するダウンエッジ出力手段と、

前記第三のタイミング信号に応じて前記第一のカウンタ手段のカウンタ値をラッチする第一のラッチ手段と、

前記第四のタイミング信号に応じて前記第二のカウンタ手段のカウンタ値をラッチする第二のラッチ手段とを有することを特徴とする請求項 2 記載の信号処理回路。

【請求項 1 4】 前記出力手段は、

前記第三のタイミング信号を遅延して第五のタイミング信号を出力する第一の遅延手段と、

前記第四のタイミング信号を遅延して第六のタイミング信号を出力する第二の遅延手段とを有し、

前記第一のカウンタ手段は、前記第五のタイミング信号に応じてリセットされ

前記第二のカウンタ手段は、前記第六のタイミング信号に応じてリセットされることを特徴とする請求項 1 3 記載の信号処理回路。

【請求項 1 5】 前記出力手段は、

前記位相差パルス信号の出力を遅延して遅延位相差パルス信号を出力する第三の遅延手段を有し、

前記遅延位相差パルス信号の出力に応じて前記第一のラッチ手段にラッチされた第一のカウンタ値と前記第二ラッチ手段にラッチされた第二のカウンタ値の出

力を切り替える切り替え手段を有することを特徴とする請求項 1 3 又は 1 4 記載の信号処理回路。

【請求項 1 6】 前記出力手段は、

デジタルローパスフィルタを含むことを特徴とする請求項 1 乃至 1 5 いずれか一項記載の信号処理回路。

【請求項 1 7】 入力パルス信号に応じたデジタル信号を生成する信号処理方法において、

前記入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手順と、

前記クロックパルスをカウントするカウント手順と、

前記カウント手順のカウント値を基に出力デジタル信号を出力する出力手順を有することを特徴とする信号処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、信号処理回路及び信号処理方法に係り、特に、光ディスク装置における FM (Frequency Modulation) 変調信号から生成されたデジタル信号を処理するための信号処理回路及び信号処理方法に関する。

【0 0 0 2】

【従来の技術】

従来、FM 変調信号からデジタル FM 信号を生成する信号処理回路は、光ディスク装置等の再生系に設けられている。

【0 0 0 3】

図 8 に、従来の一例である信号処理回路のブロック図を示す。また、図 9 には、従来の信号処理回路での理想のタイミングチャートを示す。図 8 において、信号処理回路 1 0 は、両エッジ検出回路 1 1、カウンタ回路 1 2、ラッチ回路 1 3、デジタル LPF 回路 1 4 で構成される。

【0 0 0 4】

両エッジ検出回路 1 1 には、端子 1 5 から図 9 (A) に示す FM 変調信号が供

給されている。両エッジ検出回路 1 1 は、供給された FM 変調信号を図 9 (B) に示す FM パルス信号に変換する。FM パルス信号は、FM 変調信号のレベルをゼロレベルより大きければ H i g h、小さければ L o w となるように変換されている。両エッジ検出回路 1 1 は、変換した FM パルス信号の立ち上がりエッジと立ち下がりエッジとを検出して図 9 (C) に示す両エッジ信号 1 8 を生成する。この両エッジ信号はカウンタ回路 1 2 とラッチ回路 1 3 とデジタル L P F 1 4 に供給される (1 8)。

【 0 0 0 5 】

カウンタ回路 1 2 には、端子 1 6 からのクロックパルスと両エッジ検出回路 1 1 からの両エッジ信号とが供給されている。カウンタ回路 1 2 は、クロックパルスをカウントしてカウント値 $Q_1 \sim Q_n$ をラッチ回路 1 3 に供給する (1 9)。カウンタ回路 1 2 は、両エッジ信号によりリセットされ、エッジ間をカウントする。

【 0 0 0 6 】

図 9 (D) のカウント値で説明すると、カウント値が N_1 までカウントされたとき、図 9 (C) に示す両エッジ信号のエッジ出力によりリセットされて、カウント値は 0 となる。リセットされた後、カウント値のカウントが再開されて、カウント値が N_2 までカウントされたときに両エッジ信号のエッジ出力によりリセットされる。このように、両エッジ信号によりリセットされる時のカウント値は N_1 、 N_2 、 N_3 、 N_4 となる。

【 0 0 0 7 】

ラッチ回路 1 3 には、カウンタ回路 1 2 からのカウント値と両エッジ検出回路 1 1 からの両エッジ信号とが供給されている。ラッチ回路 1 3 は、両エッジ信号のエッジ出力のタイミングに基づいて、カウント値 $Q_1 \sim Q_n$ をラッチする。図 9 (D) のカウント値においては、ラッチ回路 1 3 はカウント値 N_1 、 N_2 、 N_3 、 N_4 をそれぞれリセットされるタイミングでラッチする。ラッチされたカウント値はデジタル L P F 1 4 に供給される。

【 0 0 0 8 】

デジタル L P F 1 4 は、ラッチ回路 1 3 からのカウント値と両エッジ検出回路

11からの両エッジ信号とが供給されている。デジタルLPF14は、ラッチ回路13から供給されたカウント値に基づいてデジタル処理を行い、FM変調信号の高域周波数成分を除去する。ディジタル処理が行われたFM信号は、端子17へ供給される。ディジタルLPF14の出力ディジタルデータに基づいて信号処理が行われる。

【0009】

このように、信号処理回路は、FM変調信号から生成されたFMパルス信号の両エッジ信号を検出し、この両エッジ信号のタイミングによりカウンタでクロック数をカウントし、カウント値に基づいてディジタル処理を行い、信号処理を行う。

【0010】

また、図9に示すような理想のタイミングで信号処理を行う場合、FM変調信号に応じた信号やカウント値が得られ、また、正確なディジタルFM信号を得ることができる。しかし、実際のFM変調信号にはノイズが重畳されている。

【0011】

図10は、実際のFM変調信号とゼロレベル近辺の拡大図を示す。図10において、ゼロレベル近辺で、FM変調信号のノイズにより、FM変調信号とゼロレベルとが複数回交差してしまうため、信号の立ち上がりエッジ及び立ち下がりエッジのそれぞれが複数回検出される。従って、図8に示す両エッジ検出回路11から供給される両エッジ信号が正確に検出されない。

【0012】

図11に、実際の信号処理回路でのタイミングチャートを示す。図11(A)はFMパルス信号、図11(B)は両エッジ信号、図11(C)はクロックパルス(CLK)、図11(D)はカウント値を示している。図11(A)～(D)に示すタイミングチャートは、図10に示す実際のノイズが発生したFM変調信号により生成される。

【0013】

図11(A)のFMパルス信号は、図10に示すFM変調信号のノイズによりゼロレベルと複数回交差するため、信号の立ち上がりの期間T1と立ち下がりの

期間T 2に、立ち上がり、立ち下りが複数発生する。期間T 1、T 2に発生する複数の立ち上がり、立ち下りは、チャタリングと呼ばれている。

【 0 0 1 4 】

このFMパルス信号に発生するチャタリングにより、図1 1 (B) に示すように期間T 1、T 2に複数のエッジが検出される。複数のエッジが検出されることにより、図1 1 (C) のクロックパルスのカウント開始位置を正確に決定することができず、図1 1 (D) のカウント値も正確に得ることができない。

【 0 0 1 5 】

従って、実際のFM変調信号を信号処理回路で信号処理する場合、FM変調信号にノイズが発生するためにFMパルス信号にチャタリングが発生し、正確なデジタルFM信号の信号処理を行うことができなかった。

【 0 0 1 6 】

そこで、チャタリングが発生したFMパルス信号を処理する場合にも正確なデジタルFM信号を得ることができるよう、以下に説明する方法を用いていた。

【 0 0 1 7 】

図1 2に、従来のチャタリングを除去するためのタイミングチャートを示す。図1 2 (A) はFMパルス信号、図1 2 (B) はチャタリング除去後FMパルス信号、図1 2 (C) は両エッジ信号を示している。図1 2 (A) のFMパルス信号は、両エッジ検出回路1 1によりチャタリングが除去されて、図1 2 (B) のFMパルス信号となる。この図1 2 (B) のFMパルス信号を基に図1 2 (C) の両エッジ信号が生成される。

【 0 0 1 8 】

図1 2 (B) のチャタリング除去後FMパルス信号は、例えば、タイミング t_1 でチャタリングが発生した場合、チャタリングがなくなるタイミング t_2 まで立ち上がりエッジは確定されない。その後、一定期間T 3でFMパルス信号が同一レベルで継続され、タイミング t_3 でFMパルス信号は立ち上がりエッジ検出を確定する。この時、チャタリング除去後FMパルス信号の立ち上がりエッジ検出を確定するまでの期間は T_x である。

【 0 0 1 9 】

次に、タイミング t_4 でチャタリングが発生した場合、チャタリングがなくなるタイミング t_5 まで立ち下がリエッジは確定されない。その後、FMパルス信号が同一レベルで、一定期間 T_3 で継続され、タイミング t_6 でFMパルス信号は立ち下がリエッジ検出を確定する。この時、チャタリング除去後FMパルス信号が立ち下がリエッジ検出を確定するまでの期間は T_y である。

【 0 0 2 0 】

一方、FMパルス信号にチャタリングが発生しないタイミング t_7 、タイミング t_9 では、各々一定期間 T_3 を遅延し、立ち上がり、立ち下がりのエッジ検出を確定する。

【 0 0 2 1 】

このように、チャタリング除去後FMパルス信号は、FMパルス信号が一定期間同一のレベルに達した時に立ち上がり、立ち下がりのエッジ検出を確定する方法により生成される。この方法において、チャタリングが発生した場合、エッジ検出を確定するまでの期間の遅延量は、チャタリングがなくなるまでの期間と一定の期間との合計であり、チャタリングが発生しない場合、一定期間のみが遅延量となる。

【 0 0 2 2 】

【発明が解決しようとする課題】

上記のように、実際の信号にはノイズが存在し、この信号の立ち上がり、立ち下がりのエッジ検出の発生する周期が一定とならず、正確な信号処理が行えない。

【 0 0 2 3 】

また、ノイズを除去するために、ノイズが発生している期間及び一定期間を遅延させ、エッジ検出を確定する場合、ノイズの存在する時と存在しない時とではエッジを検出する時の遅延量が異なり、信号の周期が変化してしまう。それにより、カウンタ値が異常値になり、それに伴ないラッチ回路に保持される値も正常値に対し増減してしまう。その結果、正確な信号を得ることができない。

【 0 0 2 4 】

よって、本発明は上記の問題点を解決し、入力パルス信号を正確な周期で信号処理することのできる信号処理回路及び信号処理方法を提供することを目的とする。

【 0 0 2 5 】

【課題を解決するための手段】

請求項 1 に記載の発明は、入力パルス信号に応じたデジタル信号を生成する信号処理回路において、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、クロックパルスをカウントするカウント手段と、カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することを特徴とする。

【 0 0 2 6 】

請求項 1 に記載の発明によれば、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手段と、クロックパルスをカウントするカウント手段と、カウント手段のカウント値を基に出力デジタル信号を出力する出力手段とを有することにより、クロックパルスをカウントする対象となるパルス信号を複数有することができ、複数のパルス信号のカウント値を得ることができる。これらの複数のパルス信号のカウント値を基に、より正確な出力デジタル信号を出力することができる。

【 0 0 2 7 】

請求項 2 に記載の発明は、クロックパルス出力手段が入力パルス信号が正極性のときにクロックパルスを出力する第一のクロックパルス出力手段と、入力パルス信号が負極性のときにクロックパルスを出力する第二のクロックパルス出力手段とを有し、カウント手段は、第一のクロックパルス出力手段からのクロックパルスをカウントする第一のカウント手段と、第二のクロックパルス出力手段からのクロックパルスをカウントする第二のカウント手段とを有することを特徴とする。

【 0 0 2 8 】

請求項 2 に記載の発明によれば、クロックパルス出力手段が第一のクロックパ

ルス出力手段と、第二のクロックパルス出力手段とを有し、カウント手段は、第一のカウント手段と、第二のカウント手段とを有することにより、より精密な信号処理を行うことができる。

【 0 0 2 9 】

請求項 3 に記載の発明は、第一のカウント手段が所定のカウント値で第一のタイミング信号を出力し、第二のカウント手段は、所定のカウント値で第二のタイミング信号を出力し、出力手段は、第二のタイミング信号で第一カウント手段の第一のカウント値をラッチする第一のラッチ手段と、第一のタイミング信号で第二カウント手段の第二のカウント値をラッチする第二のラッチ手段とを有することを特徴とする。

【 0 0 3 0 】

請求項 3 に記載の発明によれば、第一と第二のカウント手段が第一と第二のタイミング信号を出力し、出力手段が、第二のタイミング信号で第一カウント手段の第一のカウント値をラッチする第一のラッチ手段と、第一のタイミング信号で第二のカウント手段の第二のカウント値をラッチする第二のラッチ手段とを有することで、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 3 1 】

請求項 4 に記載の発明は、出力手段が、第一のタイミング信号を遅延する第一の遅延手段と、第二のタイミング信号を遅延する第二の遅延手段とを有し、第一のカウント手段は第二の遅延手段の出力信号によってリセットされ、第二のカウント手段は第一の遅延手段の出力信号によってリセットされることを特徴とする。

【 0 0 3 2 】

請求項 4 に記載の発明によれば、出力手段が第一のタイミング信号を遅延する第一の遅延手段と、第二のタイミング信号を遅延する第二の遅延手段とを有し、第一のカウント手段は第二の遅延手段の出力信号によってリセットされ、第二のカウント手段は第一の遅延手段の出力信号によってリセットされることにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向

上させることができる。

【 0 0 3 3 】

請求項 5 に記載の発明は、出力手段が、第一の遅延手段の出力信号でセットされ、第二の遅延手段の出力信号でリセットされるフリップフロップと、フリップフロップの出力に応じて第一のラッチ手段にラッチされた第一のカウント値と、フリップフロップの出力に応じて第二のラッチ手段にラッチされた第二のカウント値とを切り替える切り替え手段を有することを特徴とする。

【 0 0 3 4 】

請求項 5 に記載の発明によれば、出力手段が、第一の遅延手段の出力信号でセットされ、第二の遅延手段の出力信号でリセットされるフリップフロップと、フリップフロップの出力に応じて第一のラッチ手段にラッチされた第一のカウント値と、フリップフロップの出力に応じて第二のラッチ手段にラッチされた第二のカウント値とを切り替える切り替え手段を有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 3 5 】

請求項 6 に記載の発明は、カウント手段は、第一のクロックパルス出力手段からのクロックパルスのカウントする第三のカウント手段と、第二のクロックパルス出力手段からのクロックパルスのカウントする第四のカウント手段と、第三のカウント手段と前記第四のカウント手段の所定のカウント値に基づいて所定の期間を設定する設定手段とを有することを特徴とする。

【 0 0 3 6 】

請求項 6 に記載の発明によれば、カウント手段が第三のカウント手段と第四のカウント手段とを有し、これらのカウント値により所定の期間を設定することにより、複数のパルス信号のカウント値を得ることができる。これらのカウント値を基に、より正確な出力ディジタル信号を出力することができる。

【 0 0 3 7 】

請求項 7 に記載の発明は、第三のカウント手段は、所定のカウント値で第一のタイミング信号を出力し、第四のカウント手段は、所定のカウント値で第二のタ

イミング信号を出力し、設定手段は、第一のタイミング信号及び第二のタイミング信号に応じて所定の期間を定める信号を出力することを特徴とする。

【 0 0 3 8 】

請求項 7 に記載の発明によれば、第三カウント手段が第一のタイミング信号を出力し、第四のカウント手段が第二のタイミング信号を出力し、設定手段が第一のタイミング信号及び第二のタイミング信号から所定の期間を定める信号を出力することにより、より精密な信号処理を行うことができる。

【 0 0 3 9 】

請求項 8 に記載の発明は、設定手段が第一のタイミング信号でセットされ、第二のタイミング信号でリセットされるフリップフロップを有することを特徴とする。

【 0 0 4 0 】

請求項 8 に記載の発明によれば、フリップフロップによりセット、リセットを行う設定手段を有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 4 1 】

請求項 9 に記載の発明は、第三のカウント手段及び第四のカウント手段のいずれか一方は、フリップフロップのリセットに応じてカウント値がリセットされることを特徴とする。

【 0 0 4 2 】

請求項 9 に記載の発明によれば、第三のカウント手段及び第四のカウント手段のいずれか一方がフリップフロップのリセットに応じてカウント値がリセットされることにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 4 3 】

請求項 1 0 に記載の発明は、出力手段がフリップフロップの Q 出力のアップエッジに応じて第三のタイミング信号を出力するアップエッジ出力手段と、フリップフロップの Q 出力のダウンエッジに応じて第四のタイミング信号を出力するダウンエッジ出力手段と、第四のタイミング信号に応じて第一のカウント手段のカ

ウント値をラッチする第一のラッチ手段と、第三のタイミング信号に応じて第二のカウン手段のカウン値をラッチする第二のラッチ手段とを有することを特徴とする。

【 0 0 4 4 】

請求項 1 0 に記載の発明によれば、出力手段がフリップフロップの Q 出力のエッジに応じて第三、第四のタイミング信号を出力するアップエッジ出力手段とダウンエッジ出力手段と、第三、第四のタイミング信号に応じてカウン値をラッチする第一、第二のラッチ手段とを有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 4 5 】

請求項 1 1 に記載の発明は、出力手段が第三のタイミング信号を遅延して第五のタイミング信号を出力する第一の遅延手段と、第四のタイミング信号を遅延して第六のタイミング信号を出力する第二の遅延手段とを有し、第一のカウン手段は、第四のタイミング信号に応じてリセットされ、第二のカウン手段は、第三のタイミング信号に応じてリセットされることを特徴とする。

【 0 0 4 6 】

請求項 1 1 に記載の発明によれば、出力手段が第三、第四のタイミング信号を遅延して第五、第六のタイミング信号を出力する第一の遅延手段と第二遅延手段とを有し、第一、第二のカウン手段がそれぞれ第六、第五のタイミング信号に応じてリセットされることにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 4 7 】

請求項 1 2 に記載の発明は、出力手段がフリップフロップの出力に応じて第一のラッチ手段にラッチされた第一のカウン値と第二のラッチ手段にラッチされた第二のカウン値の出力を切り替える切り替え手段を有することを特徴とする。

【 0 0 4 8 】

請求項 1 2 に記載の発明によれば、出力手段が第一のカウン値と第二のカウン値の出力を切り替える切り替え手段を有することにより、より精密な入力パ

ルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 4 9 】

請求項 1 3 に記載の発明は、出力手段が入力パルス信号と所定の位相差を有する位相差パルス信号を生成する生成手段と、位相差パルス信号のアップエッジに応じて第三のタイミング信号を出力するアップエッジ出力手段と、位相差パルス信号のダウンエッジに応じて第四のタイミング信号を出力するダウンエッジ出力手段と、第三のタイミング信号に応じて第一のカウン手段のカウン値をラッチする第一のラッチ手段と、第四のタイミング信号に応じて第二のカウン手段のカウン値をラッチする第二のラッチ手段とを有することを特徴とする。

【 0 0 5 0 】

請求項 1 3 に記載の発明によれば、出力手段が位相差パルス信号のアップエッジに応じて第三、第四のタイミング信号を出力するアップエッジ出力手段とダウンエッジ出力手段と、第三、第四のタイミング信号に応じてカウン値をラッチする第一、第二のラッチ手段とを有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 5 1 】

請求項 1 4 に記載の発明は、出力手段が第三のタイミング信号を遅延して第五のタイミング信号を出力する第一の遅延手段と、第四のタイミング信号を遅延して第六のタイミング信号を出力する第二の遅延手段とを有し、第一のカウン手段は、第五のタイミング信号に応じてリセットされ、第二のカウン手段は、第六のタイミング信号に応じてリセットされることを特徴とする。

【 0 0 5 2 】

請求項 1 4 に記載の発明によれば、出力手段が第三、第四のタイミング信号を遅延して第五、第六のタイミング信号を出力する第一の遅延手段と第二遅延手段とを有し、第一、第二のカウン手段がそれぞれ第五、第六のタイミング信号に応じてリセットされることにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 5 3 】

請求項 1 5 に記載の発明は、出力手段が位相差パルス信号の出力を遅延して遅延位相差パルス信号を出力する第三の遅延手段を有し、遅延位相差パルス信号の出力に応じて第一のラッチ手段にラッチされた第一のカウント値と第二のラッチ手段にラッチされた第二のカウント値の出力を切り替える切り替え手段を有することを特徴とする。

【 0 0 5 4 】

請求項 1 5 に記載の発明によれば、出力手段が遅延位相差パルス信号を出力する第三の遅延手段と、遅延位相差パルス信号の出力に応じて第一のカウント値と第二のカウント値の出力を切り替える切り替え手段とを有することにより、より精密な入力パルス信号の処理を行うことができ、出力される信号の精度を向上させることができる。

【 0 0 5 5 】

請求項 1 6 に記載の発明は、出力手段がデジタルローパスフィルタを含むことを特徴とする。

【 0 0 5 6 】

請求項 1 6 に記載の発明によれば、デジタルローパスフィルタを用いることにより、処理された信号を基に、より正確な出力デジタル信号を出力することができる。

【 0 0 5 7 】

請求項 1 7 に記載の発明は、入力パルス信号に応じたデジタル信号を生成する信号処理方法において、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手順と、クロックパルスのカウントするカウント手順と、カウント手順のカウント値を基に出力デジタル信号を出力する出力手順を有することを特徴とする。

【 0 0 5 8 】

請求項 1 7 に記載の発明によれば、入力パルス信号のうち少なくとも一つのパルスを含む所定の期間に、いずれか一方の極性でクロックパルスを出力するクロックパルス出力手順と、クロックパルスのカウントするカウント手順と、カウント手順のカウント値を基に出力デジタル信号を出力する出力手順とを有すること

により、クロックパルスをカウントする対象となるパルス信号を複数有することができ、複数のパルス信号のカウント値を得ることができる。これらの複数のパルス信号のカウント値を基に、より正確な出力デジタル信号を出力することができる。

【0059】

【発明の実施の形態】

図1は、本発明の一実施例の光ディスク装置のブロック図である。

【0060】

図1において、光ディスク装置100は、ディスク40、光学系41、スピンドルモータ42、スレッドモータ43、レーザドライバ44、フロントモニタ45、ALPC (Absolute Time In Pregroove) 46、記憶補償回路47、ウォブル信号処理部48、RFアンプ49、フォーカス／トラッキングサーボ回路50、送りサーボ回路51、スピンドルサーボ回路52、CDエンコード／デコード回路53、D/Aコンバータ54、オーディオアンプ55、RAM56、58、CD-ROMエンコード／デコード回路57、インターフェース／バッファコントローラ59、CPU60、ホストコンピュータ61等で構成されている。

【0061】

本発明の信号処理を行う信号処理回路はウォブル信号処理部48に設けられている。この回路によりFM変調信号が信号処理され、デジタルFM信号が生成される。また、記録系は、光学系41、レーザドライバ44、フロントモニタ45、ALPC46、記憶補償回路47、ウォブル信号処理部48等で構成される。これらの回路により、信号が光ディスク等の記憶媒体に記録される。

【0062】

光学系41は、ディスク40の信号を読み取る光学ヘッドを示し、対物レンズ、アクチュエータ、1/4波長板、コリメータレンズ、ビームスプリッタ、発光素子（レーザダイオード）、受光素子（光検出器）等から構成される。この光学系41は、スレッドモータ43、フォーカス／トラッキングサーボ回路50によって制御される。

【 0 0 6 3 】

スレッドモータ 4 3 は、送りサーボ回路 5 1 の駆動制御により光ピックアップをディスク半径方向に移動させる。フォーカス／トラッキングサーボ回路 5 0 は、フォーカスサーボとトラッキングサーボの制御を行う。

【 0 0 6 4 】

また、ディスク 4 0 は、CD-R（追記型ディスク）、CD-RW（書換型ディスク）等であり、スピンドルモータ 4 2 によって制御される。

【 0 0 6 5 】

スピンドルモータ 4 2 は、スピンドルサーボ回路 5 2 によってディスクを所定の回転数で回転するように制御されている。

【 0 0 6 6 】

上記、フォーカス／トラッキングサーボ回路 5 0、送りサーボ回路 5 1、スピンドルサーボ回路 5 2 は、CPU 6 0 と、RF アンプ 4 9 からの信号を基に、制御が行われる。RF アンプ 4 9 は、再生信号を増幅するヘッドアンプである。ここに示す RF アンプ 4 9 は、マトリクスアンプを含むもので、主信号の他に、各種サーボ信号を取り出して各サーボ制御回路に出力する。

【 0 0 6 7 】

これらの制御回路により所望のディスク 4 0 の位置が決定され、光学系 4 1 からディスク 4 0 の信号が RF アンプ 4 9 に送られる。この RF アンプ 4 9 から、EFM 信号が CD エンコード／デコード回路 5 3 に送られる。CD エンコード／デコード回路 5 3 は、C I R C (C r o s s I n t e r l e a v e d R e e d - s o l o m o n C o d e) のエンコード／デコード、EFM (E i g h t t o F o u r t e e n M o d u l a t i o n) 変調／復調、及び同期検出等の処理を行う。また、CD エンコード／デコード回路 5 3 は、CPU 6 0 からクロックパルスが送られ、復調の処理が行われる。復調された信号は、CD-ROM エンコード／デコード回路 5 7 に送られる。この CD-ROM エンコード／デコード回路 5 7 では、CD-ROM 固有の ECC (E r r o r C o r r e c t i o n C o d i n g) のエンコード／デコード、ヘッダの検出等の処理を行う。その処理を行うために RAM 5 6 を用いてデータを一時的に格納する。処理

後のデータはインターフェース／バッファコントローラ 59 に送られる。このインターフェース／バッファコントローラ 59 では、ホストコンピュータとのデータの送受、データバッファの制御を行う。その処理を行うために R A M 5 8 を用いてデータを一時的に格納する。

【 0 0 6 8 】

上記 C D - R O M エンコード／デコード回路 57、インターフェース／バッファコントローラ 59 も C P U 6 0 によって制御される。インターフェース／バッファコントローラ 59 での処理後、処理結果がホストコンピュータ 61 に送られ、データに対応した処理が行われる。

【 0 0 6 9 】

一方、音声を出力する場合、C D エンコード／デコード回路 53 からの復調信号が D / A コンバータ 54 に送られ、デジタルからアナログへ変換される。このアナログ変換された信号がオーディオアンプ 55 により増幅され、このオーディオ信号が出力される。

【 0 0 7 0 】

このように、光ディスク装置 100 は再生・記録処理が行われ、本発明の信号処理回路は、ウォブル信号処理部 48 上に設けられ、F M 変調信号から生成されたデジタル F M 信号の処理を行う。

【 0 0 7 1 】

図 2 に、本発明の一実施例の信号処理回路のブロック図を示す。図 2 において、ウォブル信号処理部 48 に設けられた信号処理回路 30 は、正極性ゲート 71、負極正ゲート 72、カウンタ回路（正極性）73、カウンタ回路（負極性）74、ラッチ回路 75、76、切り替え回路 78、デジタル L P F 79、R - S フリップフロップ 77、遅延回路 80、81、82、O R ゲート 83 で構成される。

【 0 0 7 2 】

正極性ゲート 71、負極性ゲート 72 は、ウォブル F M パルス信号端子 84 とクロック端子 85 と接続されている。正極性ゲート 71、負極性ゲート 72 には、ウォブル F M パルス信号端子 84 からゼロレベル 70、クロック端子 85 から

クロックパルス信号が供給される。

【 0 0 7 3 】

正極性ゲート 7 1 は、ゼロレベルに対して FM 変調信号のレベルが大きい時、即ち、FM パルス信号がハイレベルの時、クロックパルスをカウンタ回路 7 3 に送る。負極性ゲート 7 2 は、ゼロレベルに対して FM 変調信号レベルが小さい時、即ち、FM パルス信号がローレベルの時、クロックパルスをカウンタ回路 7 4 に送る。

【 0 0 7 4 】

カウンタ回路 7 3 は、リセット入力とキャリー出力とを備えており、正極性ゲート 7 1 から供給されるクロックパルスをカウントする。カウンタ回路 7 3 は、リセット入力から入力された信号によりカウント値 $Q_1 \sim Q_n$ をリセットする。また、カウンタ回路 7 3 は、カウントが所定値になるとキャリー出力からパルスを、遅延回路 8 1、ラッチ回路 7 6 に出力する。

【 0 0 7 5 】

遅延回路 8 1 は、カウンタ 7 3 のキャリー出力を所定期間遅延し、カウンタ回路 7 4 のリセット入力、R-S フリップフロップ 7 7 のセット、OR ゲート 8 3 に供給する。

【 0 0 7 6 】

ラッチ回路 7 5 は、カウンタ回路 7 3 のカウント値を、カウンタ回路 7 4 のキャリー出力によってラッチする。ラッチしたカウント値は切り替え回路 7 8 の B 入力に供給される。

【 0 0 7 7 】

カウンタ回路 7 4 は、リセット入力とキャリー出力とを備えており、負極性ゲート 7 2 から供給されるクロックパルスをカウントする。カウンタ回路 7 4 は、リセット入力から入力されたパルスによりカウント値をリセットする。また、カウンタ回路 7 4 は、カウントが所定値になるとキャリー出力からパルスを、遅延回路 8 0、ラッチ回路 7 5 に出力する。

【 0 0 7 8 】

遅延回路 8 0 は、カウンタ回路 7 4 のキャリー出力を所定期間遅延し、カウ

タ回路 73 のリセット入力、R-S フリップフロップ 77 のリセット、OR ゲート 83 に供給する。

【 0 0 7 9 】

ラッチ回路 76 は、カウンタ回路 74 のカウント値を、カウンタ回路 73 のキャリー出力によってラッチする。ラッチしたカウント値は切り替え回路 78 の入力 A に送られる。

【 0 0 8 0 】

切り替え回路 78 は、ラッチ回路 76、75 から A 入力、B 入力へ供給されたカウント値の出力を R-S フリップフロップ 77 からのパルスに応じて切り替える。

【 0 0 8 1 】

R-S フリップフロップ 77 は、リセット・セットを有するフリップフロップであり、Q 出力により切り替え回路 78 の切り替えを制御する。R-S フリップフロップ 77 から出力される Q 出力は、切り換え回路 78 に送られる。

【 0 0 8 2 】

上記の Q 出力を基に A、B 入力の出力が切り換えられる。切り換えられて出力された A 入力又は B 入力はデジタル LPF 79 に供給され、ディジタル FM 信号が端子 86 から出力される。

【 0 0 8 3 】

ディジタル LPF 79 では、OR ゲート 83 からの出力を遅延回路 82 によって遅延されたパルスが供給される。ディジタル LPF 79 は、供給されたパルスを基にディジタル FM 信号を出力する。

【 0 0 8 4 】

このように、信号処理回路に正・負極性の 2 つのゲートを設けて、FM パルス信号のハイレベルとローレベルとのカウント時のタイミングを得て、チャタリングを含むハイ又はロー期間をカウントすることにより FM パルス信号のハイ期間とロー期間とを確実に決定できる。

【 0 0 8 5 】

図 3 に、本発明の信号処理回路のタイミングチャートを示す。図 3 (A) は F

Mパルス信号、図3 (B) はクロックパルス (CLK)、図3 (C) は正極性ゲート、図3 (D) は負極性ゲート、図3 (E) は正極性カウント値、図3 (F) は負極性カウント値、図3 (G) はキャリーパルス (正)、図3 (H) はキャリーパルス (負)、図3 (I) は遅延 (Delay) パルス (正)、図3 (J) は遅延 (Delay) パルス (負)、図3 (K) はR-Sフリップフロップ、図3 (L) は出力カウント値、図3 (M) はORゲート出力、図3 (N) は遅延パルス (OR) を示している。

【0086】

図3 (A) のFMパルス信号と図3 (B) のクロックパルスは、正極性ゲートと負極性ゲートに供給される。正極性ゲートは、FMパルス信号がローレベルの時はクローズになり、一方、負極性ゲートはオープンになり、図3 (C)、(D) に示すように出力される。

【0087】

時刻 t_1 において、FMパルス信号がハイレベルに変化する。この時、正極性ゲートはオープンになり、カウンタ回路73へクロックパルスを供給する。カウンタ回路73は、供給されたクロックパルスをカウントする。この正極性のカウント値は図3 (E) に示すようになる。

【0088】

時刻 $t_1 \sim t_2$ では、FMパルス信号にチャタリングが発生している。この時、正極性ゲートからのパルス供給が断続的になるので、正極性カウント値は緩やかに増加する。

【0089】

カウンタ回路73にクロックパルス信号が供給された時刻 t_1 から一定期間 T_c の経過後、カウンタ回路73は図3 (G) のキャリーパルス (正) を遅延回路81、ラッチ回路76に供給する。この時、時刻 t_3 である。また、ここで期間 T_c は、カウント値によって決定される。

【0090】

時刻 t_3 において、カウンタ回路73からのキャリーパルス (正) を基に、ラッチ回路76がカウンタ回路74のカウント値をラッチする。その後、カウンタ

回路 7 3 からのキャリーパルス（正）は遅延回路 8 1 により遅延される。図 3（I）に示す遅延された遅延パルス（正）はカウンタ回路 7 4 のリセット入力に供給される。その後、カウンタ回路 7 4 のカウント値はリセットされる。遅延回路 8 1 による遅延パルス（正）は、ラッチ期間を考慮して設定される。

【 0 0 9 1 】

時刻 $t_2 \sim t_4$ の間は、FMパルス信号のハイレベル状態が維持されるため、正極性カウント値は一定の増加を示す。

【 0 0 9 2 】

時刻 t_4 において、FMパルス信号がローレベルに変化する。この時、負極性ゲートがオープンとなり、カウンタ回路 7 4 にクロックパルスを供給する。カウンタ回路 7 4 は、供給されたクロックパルスをカウントする。この負極性のカウント値は図 3（F）に示すようになる。

【 0 0 9 3 】

時刻 $t_4 \sim t_5$ では、FMパルス信号にチャタリングが発生している。この時、正極性ゲート 7 1 と負極性ゲート 7 2 から供給されるクロックパルスが断続的になる。従って、正極性カウント値と負極性カウント値は、緩やかに増加する。

【 0 0 9 4 】

カウンタ回路 7 4 に、クロックパルス信号が供給された時刻 t_4 から一定期間 T_c の経過後に、カウンタ回路 7 4 は図 3（H）のキャリーパルス（負）をラッチ回路 7 5、正極性ゲート 7 1、遅延回路 8 0 に供給する。この時、時刻 t_6 である。

【 0 0 9 5 】

時刻 t_6 の時、カウンタ回路 7 4 からのキャリーパルス（負）を基に、ラッチ回路 7 5 がカウンタ回路 7 3 のカウント値をラッチする。その後、カウンタ回路 7 4 からのキャリーパルス（負）が遅延回路 8 0 により遅延される。図 3（J）に示す遅延された遅延パルス（負）はカウンタ回路 7 3 のリセット入力に供給される。その後、カウンタ回路 7 3 のカウント値はリセットされる。

【 0 0 9 6 】

時刻 $t_6 \sim t_7$ の間は、FMパルス信号のローレベル状態が維持されるので、

負極性カウント値は一定の増加を示す。

【 0 0 9 7 】

また、図 3 (K) に示す R-S フリップフロップ 77 は、遅延回路 81 からの遅延パルス (正) によりセットされる。また、遅延回路 80 からの遅延パルス (負) によりリセットされる。これらのセット、リセットに基づいて生成された Q 出力は切り替え回路 78 に供給される。

【 0 0 9 8 】

切り替え回路 78 は、Q 出力がハイレベルの時に A 入力を出力するように切り換え、ローレベルの時に B 入力を出力するように切り替える。この出力は、図 3 (L) に示す出力カウント値となる。即ち、カウンタ回路 73 のキャリーパルス (正) により A 入力の出力が切り換えられ、カウンタ回路 74 のキャリーパルス (負) により B 入力の出力が切り換えられる。これらのキャリーパルスを OR ゲート 83 に供給すると、図 3 (M) に示すような OR ゲート出力が出力される。OR ゲート 83 からの出力は、遅延回路 82 に供給され、図 3 (N) に示すように遅延される。この遅延回路 82 の遅延量は、切り替え回路 78 での出力にかかる期間を考慮して決定される。

【 0 0 9 9 】

切り替え回路 78 からの出力データと遅延回路 82 で遅延されたクロックパルスは、デジタル LPF 79 に送られる。デジタル LPF 79 に送られたデータは、遅延されたクロックパルスに基づいて信号処理される。

【 0 1 0 0 】

このようにして、チャタリングが発生した FM パルス信号において、期間 T_c 、即ち、各極性のカウント値によって正・負極性ゲートが切り替えられることにより、より正確な周期のカウント値を得ることができる。従って、適確な信号処理を行うことができる。

【 0 1 0 1 】

一方、時刻 $t_7 \sim t_{10}$ のように、チャタリングが発生しない場合、FM パルス信号の立ち上がり、立ち下がり発生から期間 T_c の経過後に、負・正極性のゲートを切り換える。その後、上記と同様に、各カウンタ回路と各ラッチ回路を制

御し、信号処理を行う。

【0102】

このように、チャタリングが発生しない時にも期間 T_c 、即ち、各極性のカウント値によって正・負極性ゲートが切り替えられることにより、より正確な周期のカウント値を得ることができる。従って、適確な信号処理を行うことができる。

【0103】

図4に、図2に示す信号処理回路の変形例のブロック図を示す。図4に示す信号処理回路において、図2と同様の構成については、同符号を付して説明を省略する。図4において、信号処理回路31は、ANDゲート87、88、インバータ89、ハイゲートカウンタ90、ローゲートカウンタ93、カウンタ回路（正極性）97、カウンタ回路（負極性）95、ゲート回路91、94、ラッチ回路96、98、R-Sフリップフロップ92、ハイレッジ出力回路99、ローエッジ出力回路102、遅延回路101、103等で構成される。

【0104】

ANDゲート87は、FMパルス信号端子84とクロック端子85と接続されている。ANDゲート87は、供給されるクロックパルスとFMパルス信号とで論理積演算を行う。ANDゲート88は、FMパルス信号端子84とインバータ89と接続されている。ANDゲート88は、クロックパルスとインバータ89からのFMパルス信号の反転信号とで論理積演算を行う。

【0105】

ハイゲートカウンタ90は、ANDゲート87からのクロックパルスをカウントする。ハイゲートカウンタ90は、FMパルス信号がハイレベルの期間にクロックパルスをカウントする。ハイゲートカウンタ90は、カウントしたカウント値 $Q_1 \sim Q_n$ をゲート回路91に供給する。

【0106】

ゲート回路91は、供給されたカウント値が所定値になった時、例えば、FMパルス信号の最小半周期の半分の時間に相当する値になった時に、パルスをR-Sフリップフロップ92のセット端子に供給する。

【 0 1 0 7 】

ローゲートカウンタ 9 3 は、上記ハイゲートカウンタ 9 0 と同様の構成であり、ANDゲート 8 8 からのクロックパルスをカウントする。ローゲートカウンタ 9 3 は、FMパルス信号がローレベルの期間にクロックパルスをカウントする。ローゲートカウンタ 9 0 は、カウントしたカウント値 $Q_1 \sim Q_n$ のうち下位ビット $Q_1 \sim Q_k$ をゲート回路 9 4 に供給する。

【 0 1 0 8 】

ゲート回路 9 4 は、供給されたカウント値が所定値になった時、例えば、FMパルス信号の最小半周期の半分の時間に相当する値になった時に、パルスを R-S フリップフロップ 9 2 のリセット端子に供給する。

【 0 1 0 9 】

R-S フリップフロップ 9 2 では、ゲート回路 9 1 からセット端子にパルスが入力された場合、Q 出力がローゲートカウンタ 9 3 に供給され、カウントを開始する。ゲート回路 9 4 からリセット端子にパルスが入力された場合、反転 Q 出力がハイゲートカウンタ 9 0 に供給され、カウントを開始する。また、Q 出力は、切り替え回路 7 8、ハイエッジ出力回路 9 9、ローエッジ出力回路 1 0 2 に供給される。

【 0 1 1 0 】

ハイエッジ出力回路 9 9 は、パルスを遅延回路 1 0 1 に供給し、Q 出力の立ち上がりエッジに応じてラッチ回路 9 6 にパルスを供給する。遅延回路 1 0 1 は、ハイエッジ出力回路 9 9 からのパルスを遅延して、カウンタ回路 9 5、ORゲート 8 3 に供給する。

【 0 1 1 1 】

ローエッジ出力回路 1 0 2 は、パルスを遅延回路 1 0 3 に供給し、Q 出力の立ち下がりエッジに応じてラッチ回路 9 8 にパルスを供給する。遅延回路 1 0 3 は、ローエッジ出力回路 1 0 2 からのパルスを遅延して、カウンタ回路 9 7、ORゲート 8 3 に供給する。

【 0 1 1 2 】

カウンタ回路 9 5 は、リセット入力とキャリー出力とを備えており、ANDゲ

ート 8 8 からのクロックパルスをカウントする。カウンタ回路 9 5 は、FM パルス信号がローレベルの期間にクロックパルスをカウントする。カウンタ回路 9 5 は、カウント値 $Q_1 \sim Q_n$ をラッチ回路 9 6 に供給する。また、カウンタ回路 9 5 のカウント値は、遅延回路 1 0 1 からのパルスによりクリアされる。

【 0 1 1 3 】

ラッチ回路 9 6 は、カウンタ回路 9 5 のカウント値を、ハイエッジ出力回路 9 9 からのパルスによってラッチする。ラッチしたカウント値は切り替え回路 7 8 の A 入力に供給される。

【 0 1 1 4 】

カウンタ回路 9 7 は、上記カウンタ回路 9 5 と同様の構成であり、AND ゲート 8 7 からのクロックパルスをカウントする。カウンタ回路 9 7 は、FM パルス信号がハイレベルの期間にクロックパルスをカウントする。カウンタ回路 9 7 は、カウント値 $Q_1 \sim Q_n$ をラッチ回路 9 8 に供給する。また、カウンタ回路 9 7 のカウント値は、遅延回路 1 0 3 からのパルスによりクリアされる。

【 0 1 1 5 】

ラッチ回路 9 8 は、カウンタ回路 9 5 のカウント値を、ローエッジ出力回路 1 0 2 からのパルスによってラッチする。ラッチしたカウント値は切り替え回路 7 8 の B 入力に供給される。

【 0 1 1 6 】

図 5 に、図 4 に示す信号処理回路のタイミングチャートを示す。図 5 (A) は FM パルス信号、図 5 (B) はクロックパルス (CLK)、図 5 (C) は AND ゲート 8 7、図 5 (D) はインバータ 8 9、図 5 (E) は AND ゲート 8 8、図 5 (F) は R-S FF セット入力、図 5 (G) は R-S FF リセット入力、図 5 (H) は Q 出力、図 5 (I) は反転 Q 出力、図 5 (J) はハイエッジ出力、図 5 (K) はローエッジ出力、図 5 (L) は遅延パルス 1 0 1、図 5 (M) は遅延パルス 1 0 3 を示している。

【 0 1 1 7 】

図 5 (A) の FM パルス信号は、AND ゲート 8 7、インバータ 8 9 に供給され、図 5 (B) のクロックパルスは、AND ゲート 8 7、8 8 に供給される。図

5 (D) のインバータは、図 5 (A) の FM パルス信号の反転した信号を示している。AND ゲート 8 7 は、クロックパルスと FM パルス信号を論理積演算して図 5 (C) に示すような信号を出力する。AND ゲート 8 8 は、クロックパルスと FM パルス信号の反転信号を積算して図 5 (E) に示すような信号を出力する。

【 0 1 1 8 】

例えば、ローゲートカウンタ 9 3 は AND ゲート 8 8 からのクロックパルスをカウントし、カウント値をゲート回路 9 4 に供給する。ゲート回路 9 4 は、カウント値が一定値になると、パルスを R-S フリップフロップ 9 2 のリセット入力へ供給する。

【 0 1 1 9 】

時刻 t_1 において、ローゲートカウンタ 9 3 は、図 5 (I) に示すように反転 Q 出力がハイレベルになると、カウント値がリセットされ、図 5 (G) に示すように R-S フリップフロップ 9 2 のリセット入力にパルスが供給される。また、ハイゲートカウンタ 9 0 は、図 5 (H) の Q 出力がローレベルの状態であるので、図 5 (C) の AND ゲート 8 7 からのクロックパルスをカウントする。

【 0 1 2 0 】

時刻 t_2 において、図 5 (M) に示す遅延回路 1 0 3 からの遅延パルスにより、カウンタ回路 9 7 のカウント値がリセットされる。時刻 $t_1 \sim t_2$ の期間は、遅延回路 1 0 3 から出力されるパルスの遅延期間 T_4 である。

【 0 1 2 1 】

時刻 t_3 において、ハイゲートカウンタ 9 0 のカウント値が一定値となると、カウント値が図 5 (F) に示すように R-S フリップフロップ 9 2 のセット入力に供給される。

【 0 1 2 2 】

R-S フリップフロップ 9 2 は、セット入力に応じて図 5 (H) の Q 出力をハイレベルにし、図 5 (I) の反転 Q 出力をローレベルにする。Q 出力がハイレベルになることにより、ローゲートカウンタ 9 3 は、図 5 (E) の AND ゲート 8 8 からのクロックパルスをカウントする。また、ハイゲートカウンタ 9 0 では、

Q出力がローレベルとなることにより、カウント値がリセットされる。

【 0 1 2 3 】

また、図 5 (J) のハイエッジ出力は、Q出力の立ち上がりエッジに応じてパルスをラッチ回路 9 6、遅延回路 1 0 1 に供給する。ラッチ回路 9 6 は、ハイエッジ出力に応じてカウンタ回路 9 5 のカウント値をラッチする。遅延回路 1 0 1 で遅延されたパルスは、図 5 (L) に示すように出力される。

【 0 1 2 4 】

時刻 t_4 において、図 5 (L) の遅延回路 1 0 1 からの遅延パルス 1 0 1 により、カウンタ回路 9 5 のカウント値がリセットされる。時刻 $t_3 \sim t_4$ の期間は、遅延回路 1 0 1 から出力されるパルスの遅延期間 T_4 である。

【 0 1 2 5 】

時刻 t_5 において、ローゲートカウンタ 9 3 のカウント値が一定値になると、ゲート回路 9 4 はパルスを R-S フリップフロップ 9 2 のリセット入力へ供給する。

【 0 1 2 6 】

R-S フリップフロップ 9 2 は、セット入力に応じて図 5 (H) の Q 出力をローレベルにし、図 5 (I) の反転 Q 出力をハイレベルにする。反転 Q 出力がハイレベルになることにより、ハイゲートカウンタ 9 0 は、図 5 (C) の AND ゲート 8 7 からのクロックパルスをカウントする。また、ローゲートカウンタ 9 3 では、反転 Q 出力がローレベルとなることにより、カウント値がリセットされる。

【 0 1 2 7 】

また、図 5 (K) のローエッジ出力は、Q出力の立ち上がりエッジに応じてパルスをラッチ回路 9 8、遅延回路 1 0 3 に供給する。ラッチ回路 9 8 は、ハイエッジ出力に応じてカウンタ回路 9 7 のカウント値をラッチする。遅延回路 1 0 3 で遅延されたパルスは、図 5 (M) に示すように出力される。

【 0 1 2 8 】

時刻 t_6 において、図 5 (M) の遅延回路 1 0 3 からの遅延パルス 1 0 3 により、カウンタ回路 9 7 のカウント値がリセットされる。時刻 $t_5 \sim t_6$ の期間は、遅延回路 1 0 3 から出力されるパルスの遅延期間 T_4 である。

【 0 1 2 9 】

切り替え回路 8 3 では、Q 出力がハイレベルの時に A 入力を出力するように、ローレベルの時に B 入力を出力するように切り替える。即ち、遅延回路 1 0 1 からの信号により A 入元に切り替え、遅延回路 1 0 3 からの信号により B 入元に切り替える。

【 0 1 3 0 】

本変形例によれば、図 2 に示す信号処理回路と同様の作用効果を奏する。

【 0 1 3 1 】

図 6 は、図 4 に示す信号処理回路の変形例のブロック図を示す。また、図 7 は、図 6 に示す信号処理回路のタイミングチャートを示す。図 6 に示す信号処理回路において、図 4 と同様の構成については、同符号を付して説明を省略する。本変形例の信号処理回路は、図 4 の信号処理回路とはハイゲートカウンタ 9 0、ローゲートカウンタ 9 3、ゲート回路 9 1、9 4、R-S フリップフロップ 9 2 に代えて PLL 回路 1 0 5、遅延回路 1 0 4 を設けた点で相違する。これらの PLL 回路 1 0 5、遅延回路 1 0 4 について以下に説明する。

【 0 1 3 2 】

PLL 回路 1 0 5 は、 90° 位相比較回路 1 0 6 と VCO (Voltage Controlled Oscillator) 1 0 7 と $1/N$ 分周期 1 0 8 とで構成されている。PLL 回路 1 0 5 では、図 7 (A) に示す PLL 入力信号が供給されると、FM パルス信号の周期と 90° 位相の異なる図 7 (B) に示す PLL 出力信号が出力される。 90° 位相比較回路 1 0 6 は、FM パルス信号と PLL 回路 1 0 5 の出力信号との位相を比較して、位相差が 90° になるように FM パルス信号を出力する。FM パルス信号は、VCO 1 0 7 へ供給される。VCO 1 0 7 は、供給される FM パルス信号に基づいて所定周波数のクロックパルス生成する。生成されたクロックパルスは、 $1/N$ 分周期 1 0 8 へ供給される。 $1/N$ 分周期 1 0 8 は、VCO 1 0 7 からのクロックパルスを所定の分周比 ($1/N$) で分周し、位相差 90° の FM パルス信号を出力する。位相差 90° の FM パルス信号は、遅延回路 1 0 4、ハイエッジ出力回路 9 9、ローエッジ出力回路 1 0 2、 90° 位相比較回路 1 0 6 に供給される。

【 0 1 3 3 】

遅延回路 1 0 4 は、P L L 1 0 5 から供給される F M パルス信号を遅延して切り替え回路 7 8 に供給する。

【 0 1 3 4 】

また、カウンタ回路 9 5 のカウント値は、遅延回路 1 0 3 からのパルスによりクリアされる。ラッチ回路 9 6 は、供給されたカウンタ回路 9 5 のカウント値を、ローエッジ出力回路 1 0 2 からのパルスによってラッチする。

【 0 1 3 5 】

カウンタ回路 9 7 のカウント値は、遅延回路 1 0 1 からのパルスによりクリアされる。ラッチ回路 9 8 は、供給されたカウンタ回路 9 7 のカウント値を、ハイエッジ出力回路 9 9 からのパルスによってラッチする。

【 0 1 3 6 】

図 7 (A) 理想の P L L 入力信号 (F M パルス信号) 、図 7 (B) は P L L 出力信号、図 7 (C) 実際の F M パルス信号 (入力信号) 、図 7 (D) はクロックパルス、図 7 (E) は A N D ゲート 8 7 、図 7 (F) はインバータ 8 9 、図 7 (G) は A N D ゲート 8 8 、図 7 (H) はハイエッジ出力、図 7 (I) は遅延パルス 1 0 1 、図 7 (J) はローエッジ出力、図 7 (K) は遅延パルス 1 0 3 、図 7 (L) は遅延パルス 1 0 4 を示している。また、図 5 と同様のタイミングの信号は説明を省略する。

【 0 1 3 7 】

P L L 回路 1 0 5 は、図 7 (C) 実際の入力信号が供給されると図 7 (B) の P L L 出力信号を出力する。

【 0 1 3 8 】

時刻 t_1 において、図 7 (B) の P L L 出力信号に応じて図 7 (H) に示すようにハイエッジ出力回路 9 9 からパルスが出力される。このパルスに応じてラッチ回路 9 8 がカウンタ回路 9 7 のカウント値をラッチする。

【 0 1 3 9 】

時刻 t_2 において、図 7 (I) の遅延パルス 1 0 1 から出力されるパルスに応じてカウンタ回路 9 7 がリセットされる。この後、再びカウンタ回路 9 7 は図 7

(E) に示すANDゲート87からのクロックパルスをカウントする。

【0140】

時刻 t_3 において、図7(B)のPLL出力信号がローレベルになると、図7(J)に示すようにローエッジ出力回路102からPLL出力信号の立ち下りに応じてパルスが出力される。このパルスに応じてラッチ回路96がカウンタ回路95のカウント値をラッチする。

【0141】

時刻 t_4 において、図7(K)の遅延パルス103から出力されるパルスに応じてカウンタ回路95がリセットされる。この後、再びカウンタ回路95は図7(G)に示すANDゲート88からのクロックパルスをカウントする。

【0142】

時刻 $t_5 \sim t_8$ においても同様の動作が繰り返される。

【0143】

カウンタ回路97は、遅延回路101のパルスによりリセットされるまでの期間(例えば時刻 $t_2 \sim t_6$)において図7(C)の入力信号の正極性期間のクロックパルスをカウントする。

【0144】

カウンタ回路95は、遅延回路103のパルスによりリセットされるまでの期間(例えば時刻 $t_4 \sim t_8$)において図7(C)の入力信号の負極性期間のクロックパルスをカウントする。

【0145】

遅延回路104は、各カウンタ回路をリセットするタイミングで極性を反転した信号を、切り替え回路78に供給する。切り替え回路78では、遅延回路104からの信号によりカウント値がラッチされた側を出力するように切り替えられる。本実施例では、遅延回路104の出力信号が正極性の時にラッチ回路98のカウント値が出力され、負極性の時にラッチ回路96のカウント値が出力される。

即ち、時刻 t_2 でカウンタ回路97がリセットされるタイミングで、時刻 t_1 でラッチしたカウント値をラッチ回路98から出力するように切り替え回路78で

制御する。また、時刻 t_4 でカウンタ回路 95 がリセットされるタイミングで、時刻 t_3 でラッチしたカウント値をラッチ回路 96 から出力するように切り替え回路を制御する。

【0146】

上記のように本変形例では、入力信号に対して位相が 90° 異なるパルスを用いて PLL 回路により生成することにより、ハイ及びロー期間のカウントのタイミングを計っている。本変形例によれば、PLL 回路だけでカウントのタイミングを生成できるので、図 4 に示す信号処理回路に比べて回路の簡略化を図ることができる。

【0147】

【発明の効果】

本発明の信号処理回路によれば、入力パルス信号の正・負極性のクロックパルスを各々独立したカウンタでカウントし、それらのカウント値を用いることにより正確に信号処理を行うことができる。また、実際の入力信号に重畳されるノイズに影響されることなく、より正確なカウント値を求めることができる。よって、正確なデジタル信号を生成することが可能となる。

【0148】

また、クロックパルスをカウントするカウント手段がタイミング信号を生成し、このタイミング信号を基に入力パルス信号を制御することにより、パルスの周期を一定にし、信号処理の安定化を図ることができる。

【0149】

【図面の簡単な説明】

【図 1】

本発明の一実施例の光ディスク装置のブロック図である。

【図 2】

本発明の一実施例の信号処理回路のブロック図である。

【図 3】

本発明の信号処理回路のタイミングチャートを示す。

【図 4】

図 2 に示す信号処理回路の変形例のブロック図を示す。

【図 5】

図 4 に示す信号処理回路のタイミングチャートを示す。

【図 6】

図 4 に示す信号処理回路の変形例のブロック図を示す。

【図 7】

図 6 に示す信号処理回路のタイミングチャートを示す。

【図 8】

従来の信号処理回路での理想のタイミングチャートを示す。

【図 9】

従来の理想の信号処理回路でのタイミングチャートを示す。

【図 1 0】

実際の FM 変調信号とゼロレベル近辺の拡大図を示す。

【図 1 1】

実際の信号処理回路でのタイミングチャートを示す。

【図 1 2】

従来のチャタリングを除去するためのタイミングチャートを示す。

【符号の説明】

- 1 0、3 0、3 1、3 2 信号処理回路
- 1 1 両エッジ検出回路
- 1 2 カウンタ回路
- 1 3、7 5、7 6、9 6、9 8 ラッチ回路
- 1 4 デジタル L P F
- 1 5 FM 変調信号端子
- 1 6 クロックパルス端子
- 1 7 デジタル FM 信号端子
- 4 0 ディスク
- 4 1 光学系
- 4 2 スピンドルモータ

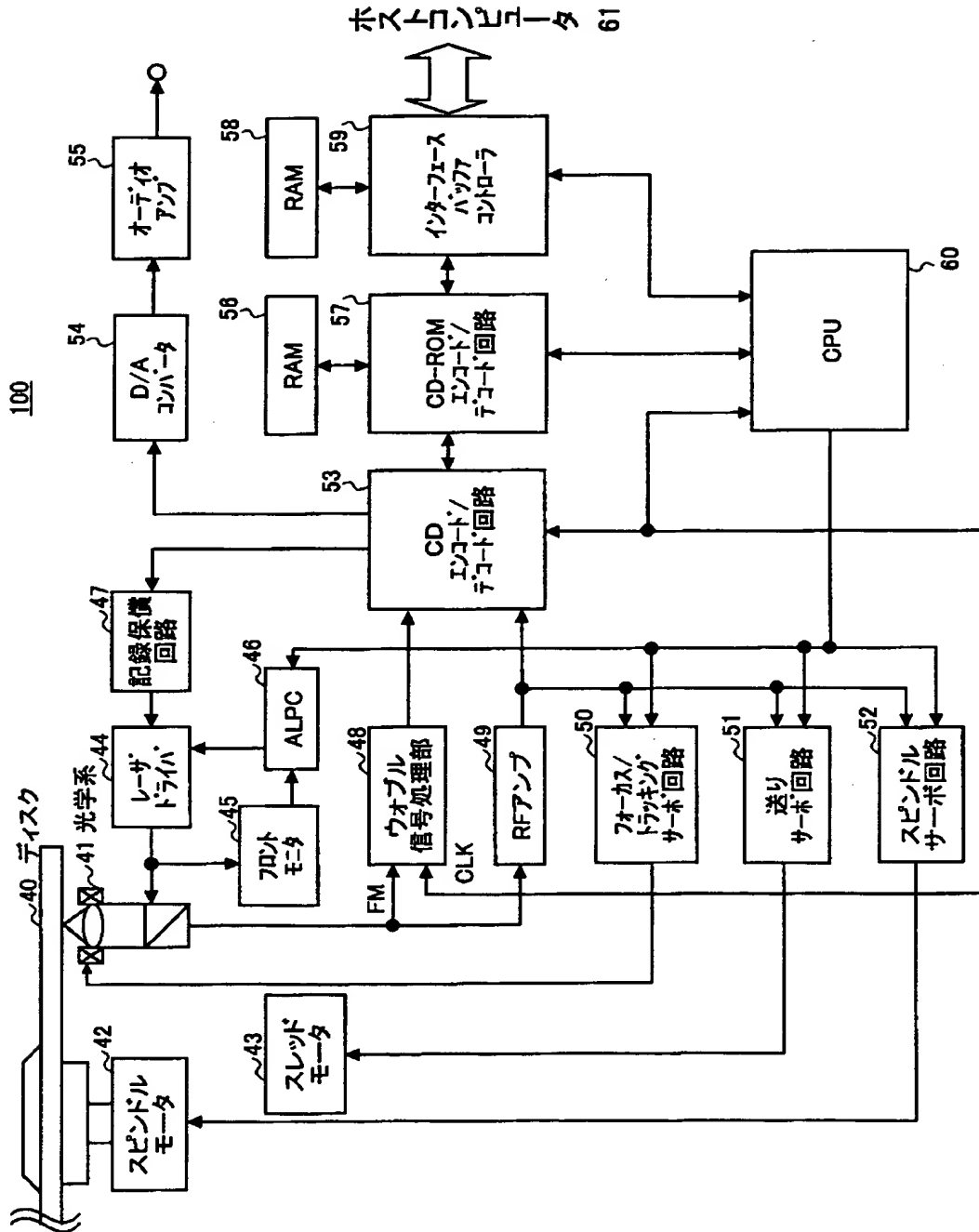
- 4 3 スレッドモータ
- 4 4 レーザドライバ
- 4 5 フロントモニタ
- 4 6 A L P C
- 4 7 記憶補償回路
- 4 8 ウォブル信号処理部
- 4 9 R F アンプ
- 5 0 フォーカス／トラッキングサーボ回路
- 5 1 送りサーボ回路
- 5 2 スピンドルサーボ回路
- 5 3 C D エンコード／デコード回路
- 5 4 D / A コンバータ
- 5 5 オーディオアンプ
- 5 6、5 8 R A M
- 5 7 C D - R O M エンコード／デコード回路
- 5 9 インターフェース／バッファコントローラ
- 6 0 C P U
- 6 1 ホストコンピュータ
- 7 1 正極性ゲート
- 7 2 負極正ゲート
- 7 3、9 7 カウンタ回路（正極性）
- 7 4、9 5 カウンタ回路（負極性）
- 7 7、9 2 R - S フリップフロップ
- 7 8 切り替え回路
- 7 9 デジタル L P F
- 8 0、8 1、8 2、1 0 1、1 0 3、1 0 4 遅延回路
- 8 3 O R ゲート
- 8 7、8 8 A N D ゲート
- 8 9 インバータ

- 9 0 ハイゲートカウンタ
- 9 3 ローゲートカウンタ
- 9 1、9 4 ゲート回路
- 9 9 ハイエッジ出力回路
- 1 0 2 ローエッジ出力回路
- 1 0 0 光ディスク装置
- 1 0 5 P L L 回路
- 1 0 6 90° 位相比較回路
- 1 0 7 V C O
- 1 0 8 $1/N$ 分周器

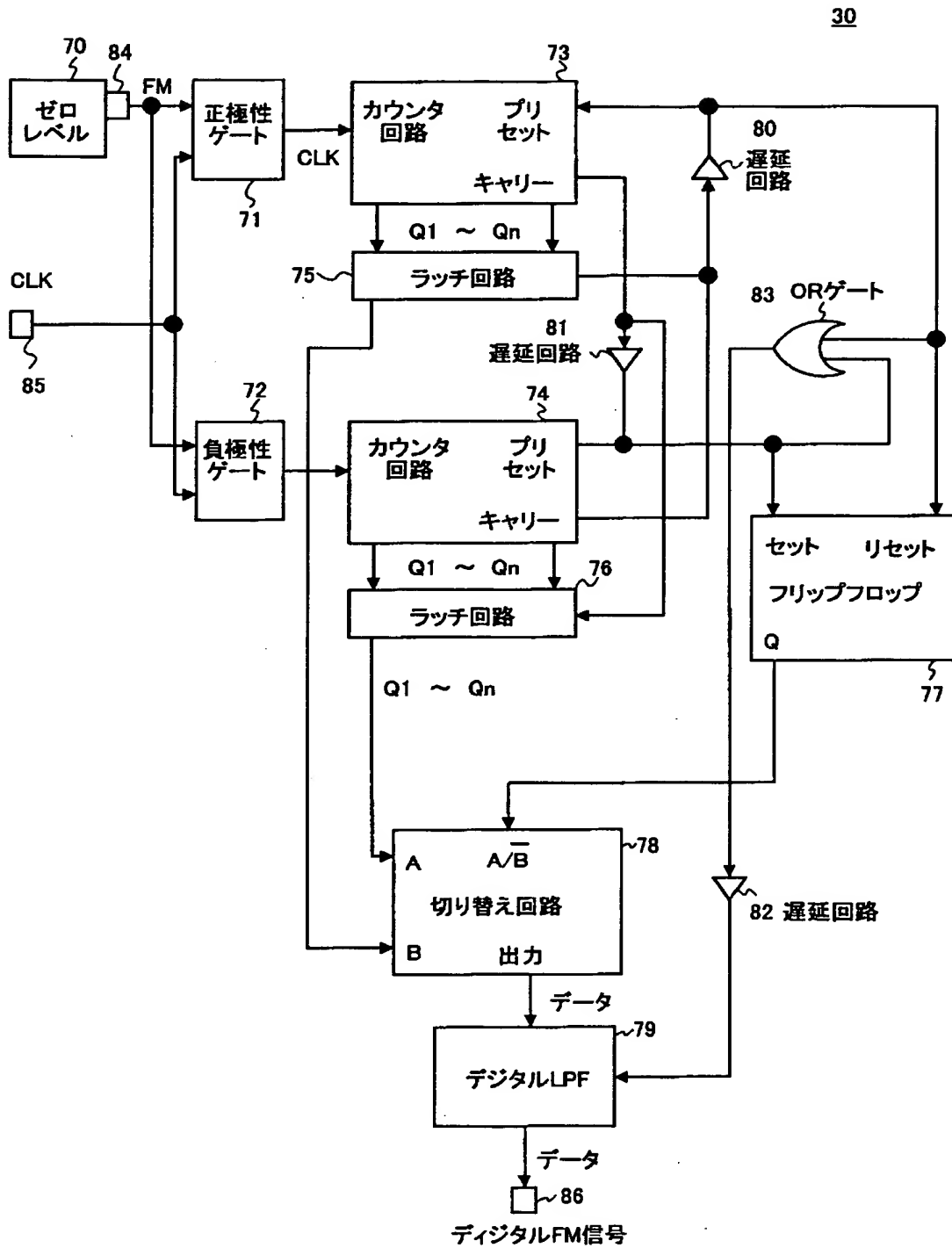
【書類名】

図面

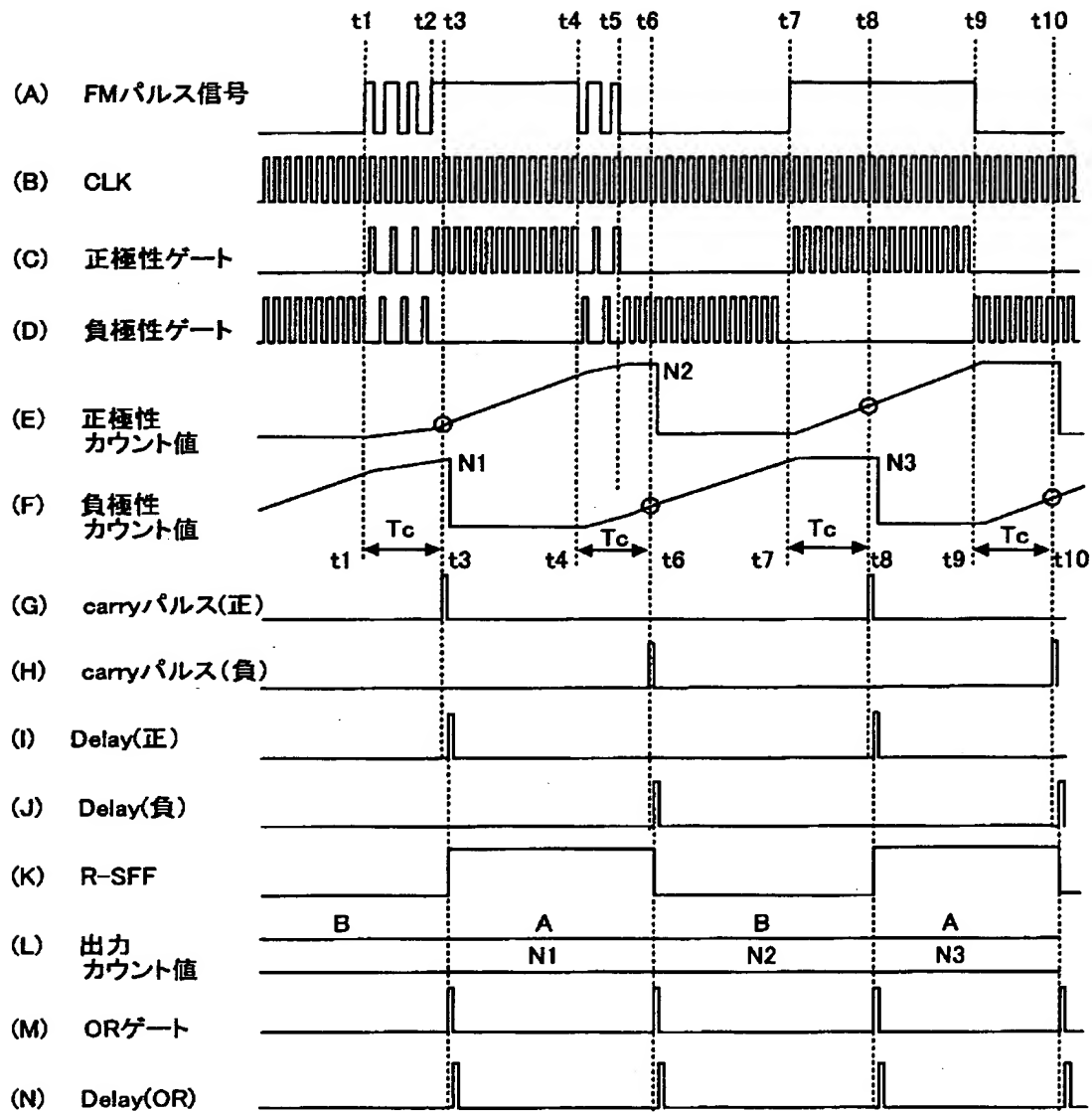
【図 1】



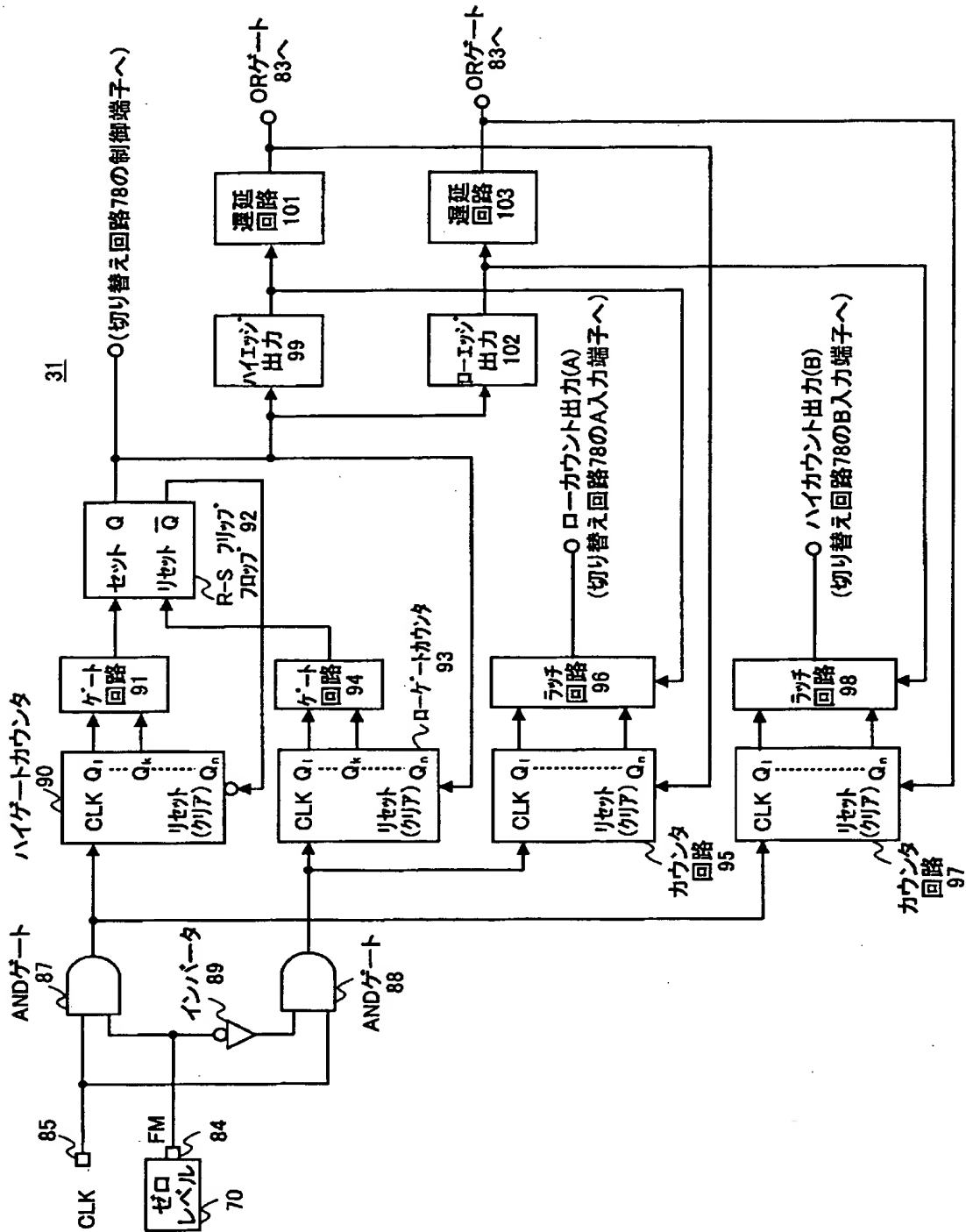
【図 2】



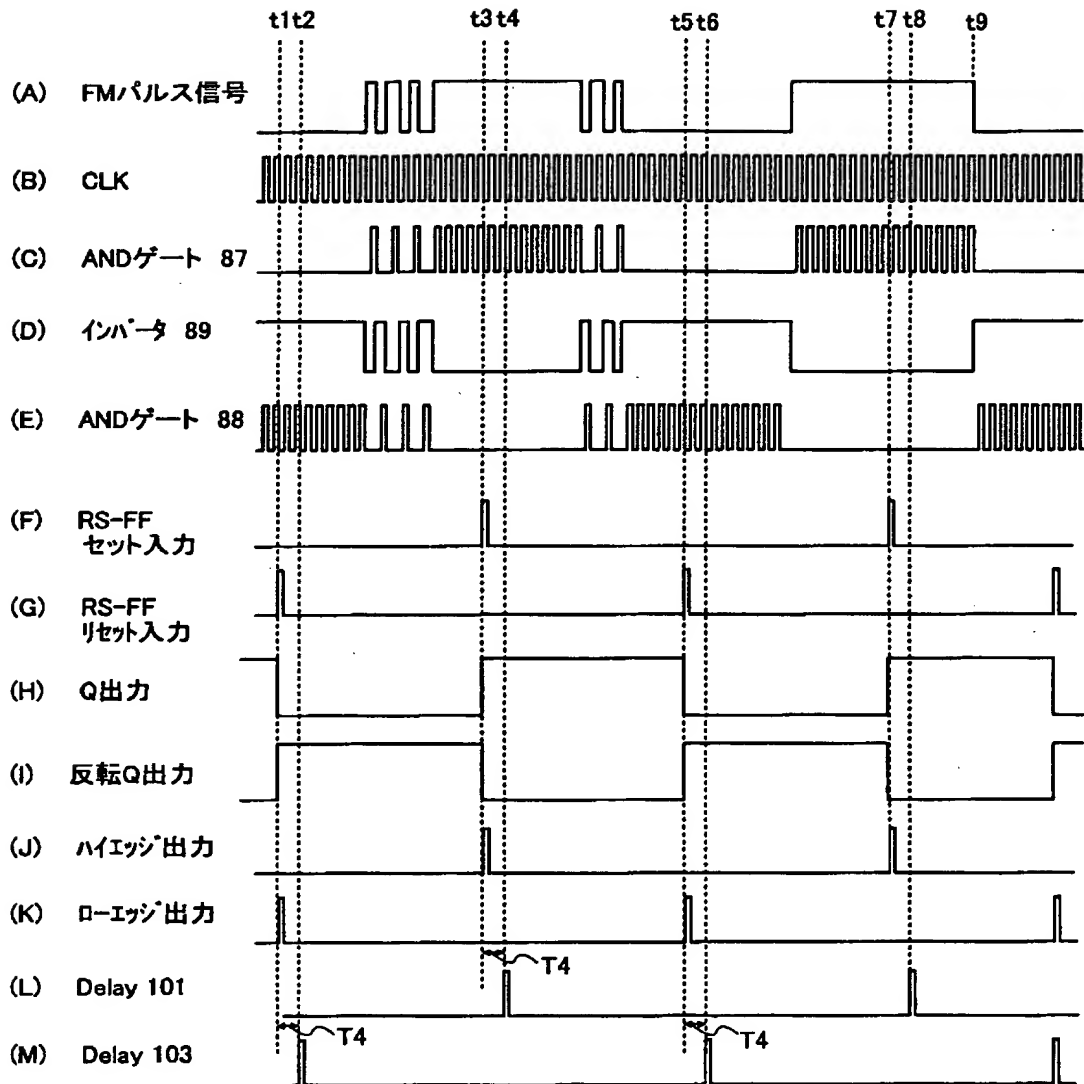
【図 3】



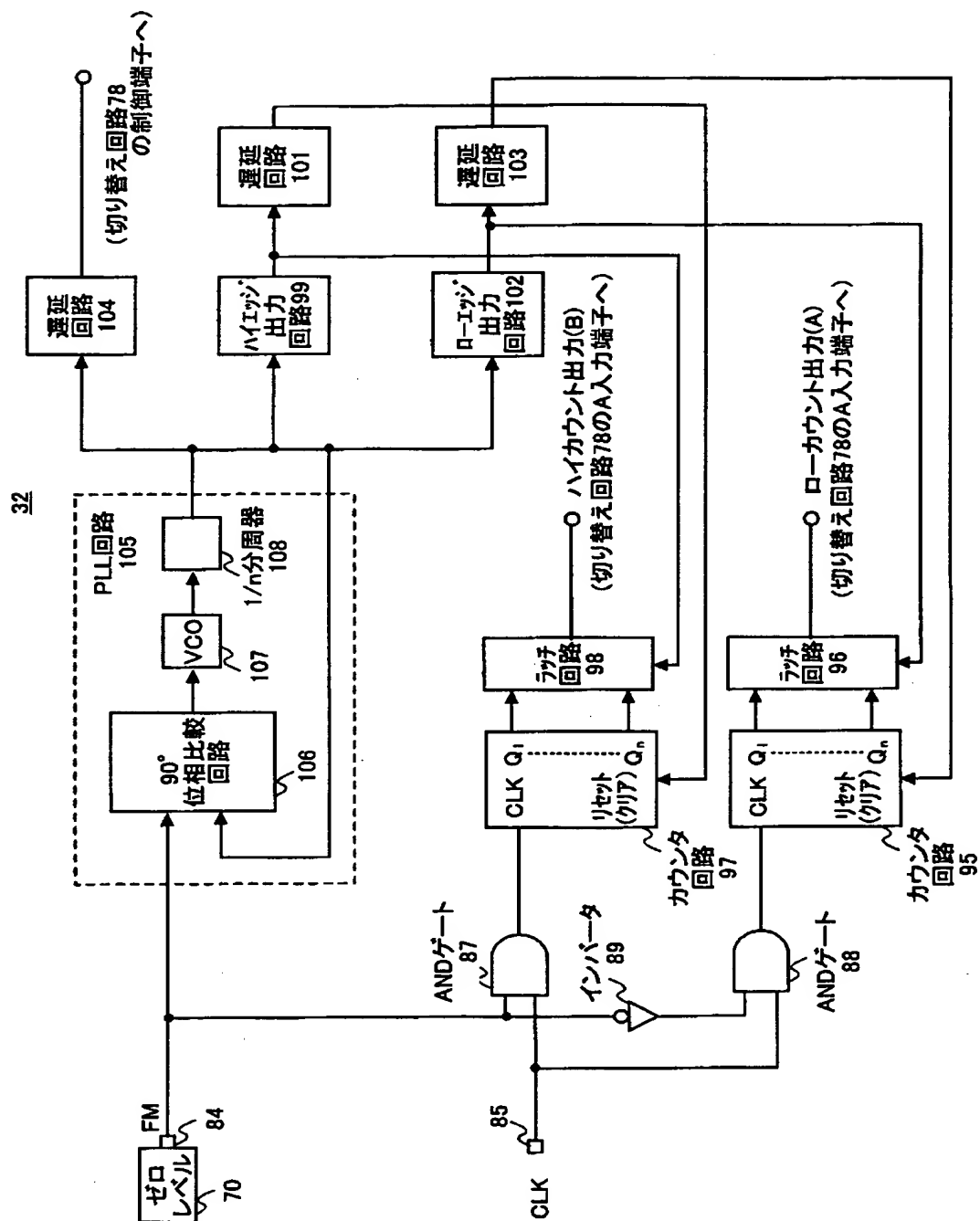
【図 4】



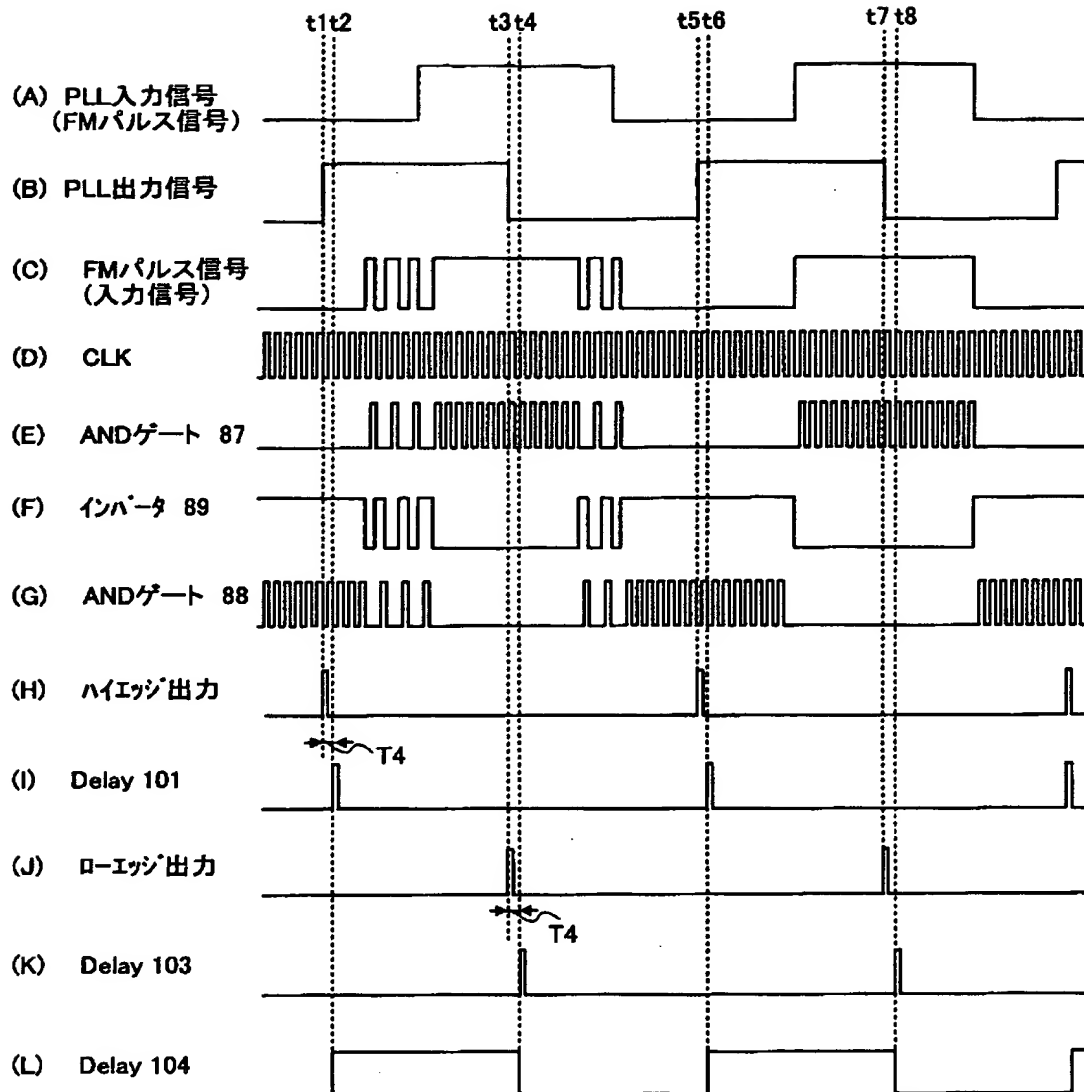
【図 5】



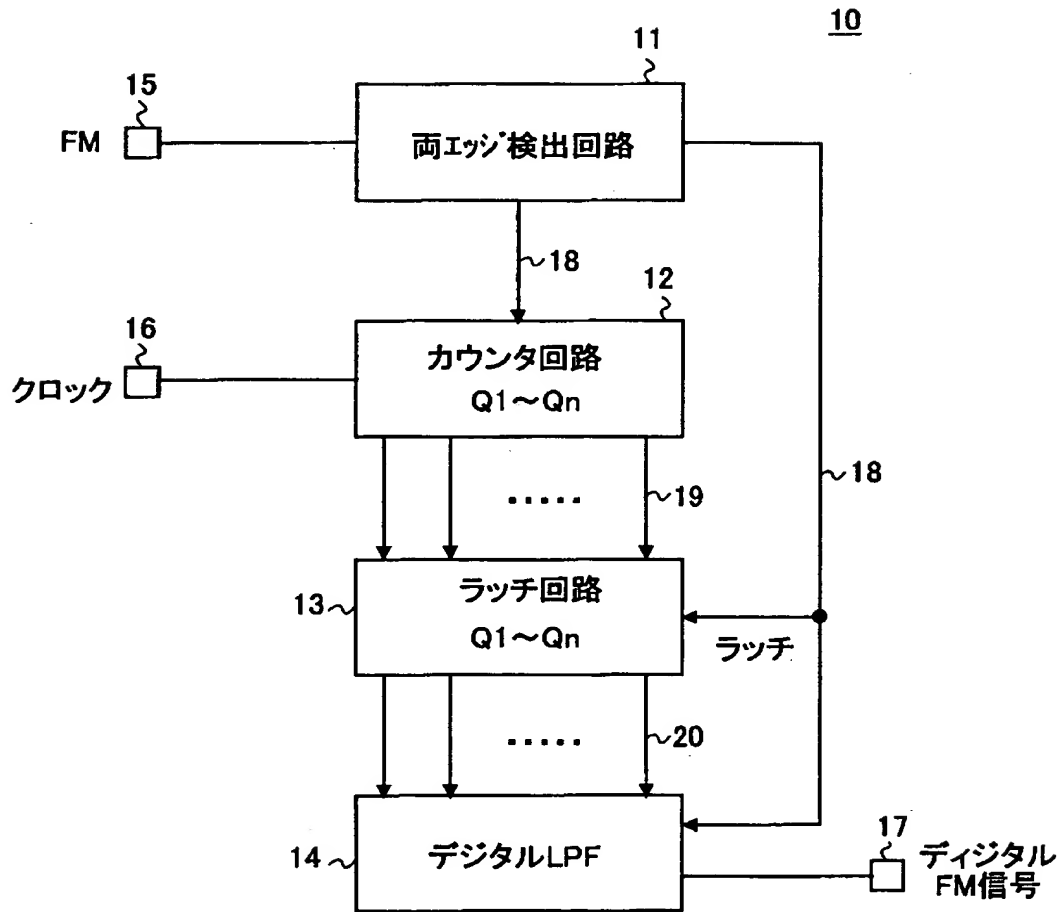
【図 6】



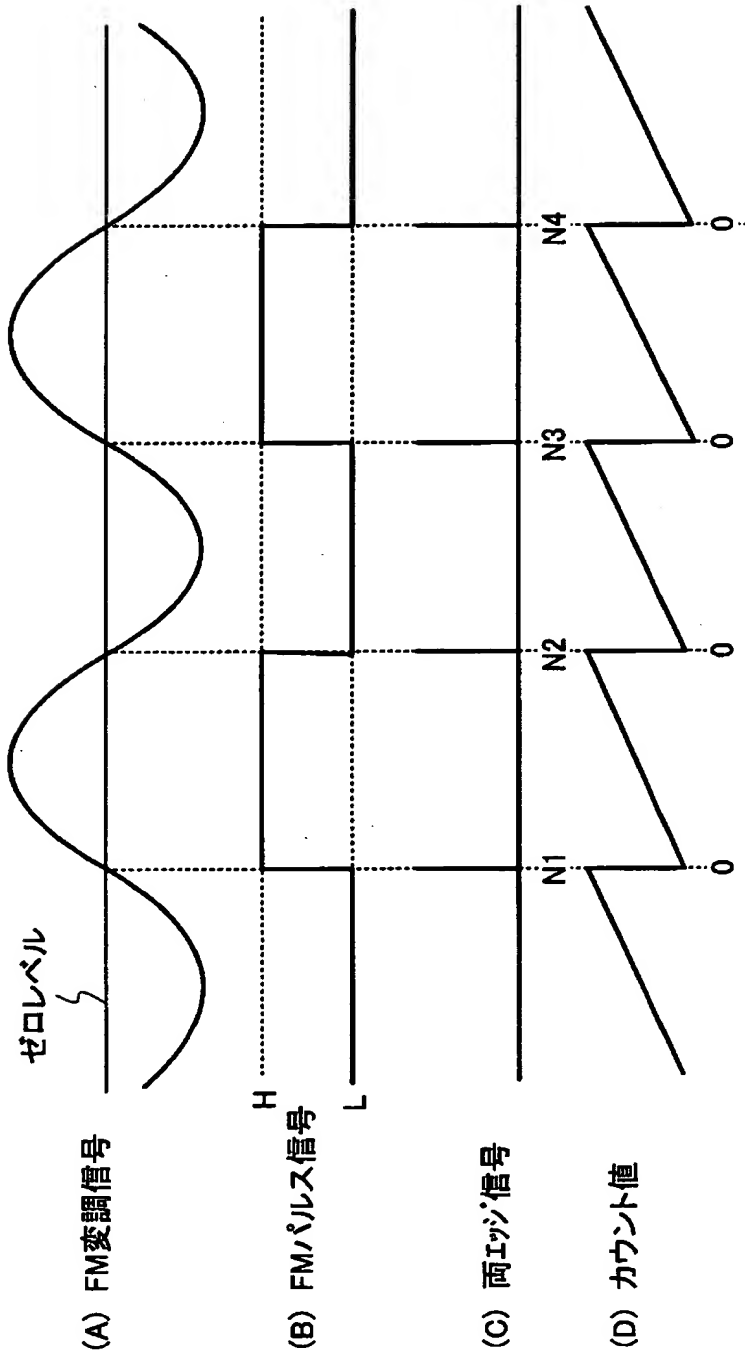
【図 7】



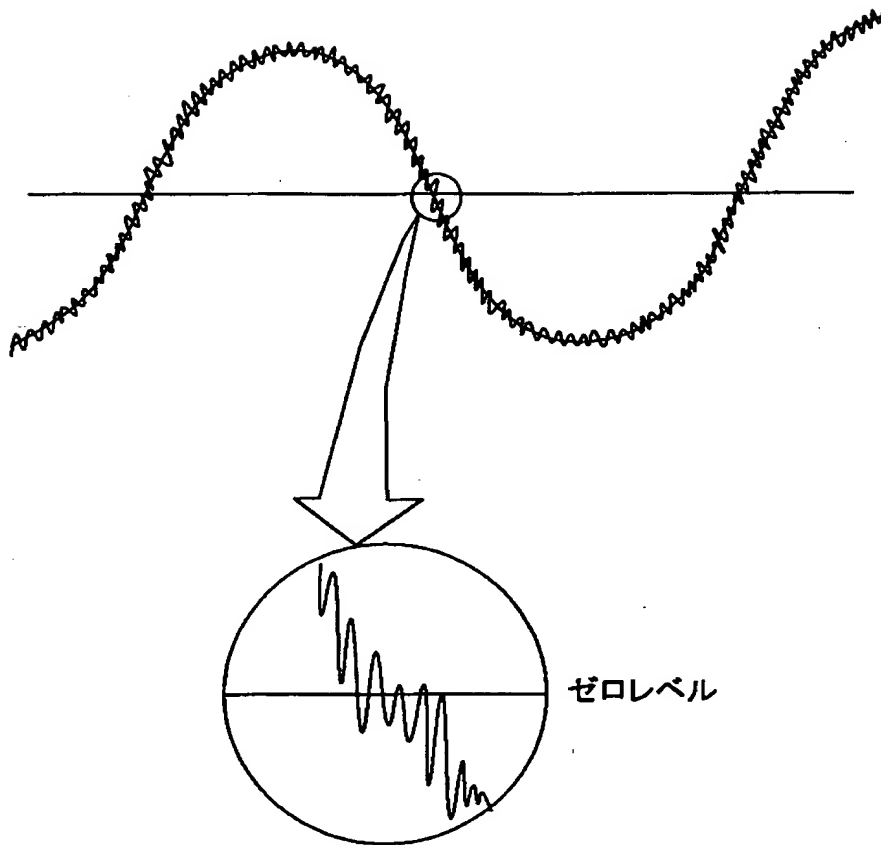
【図 8】



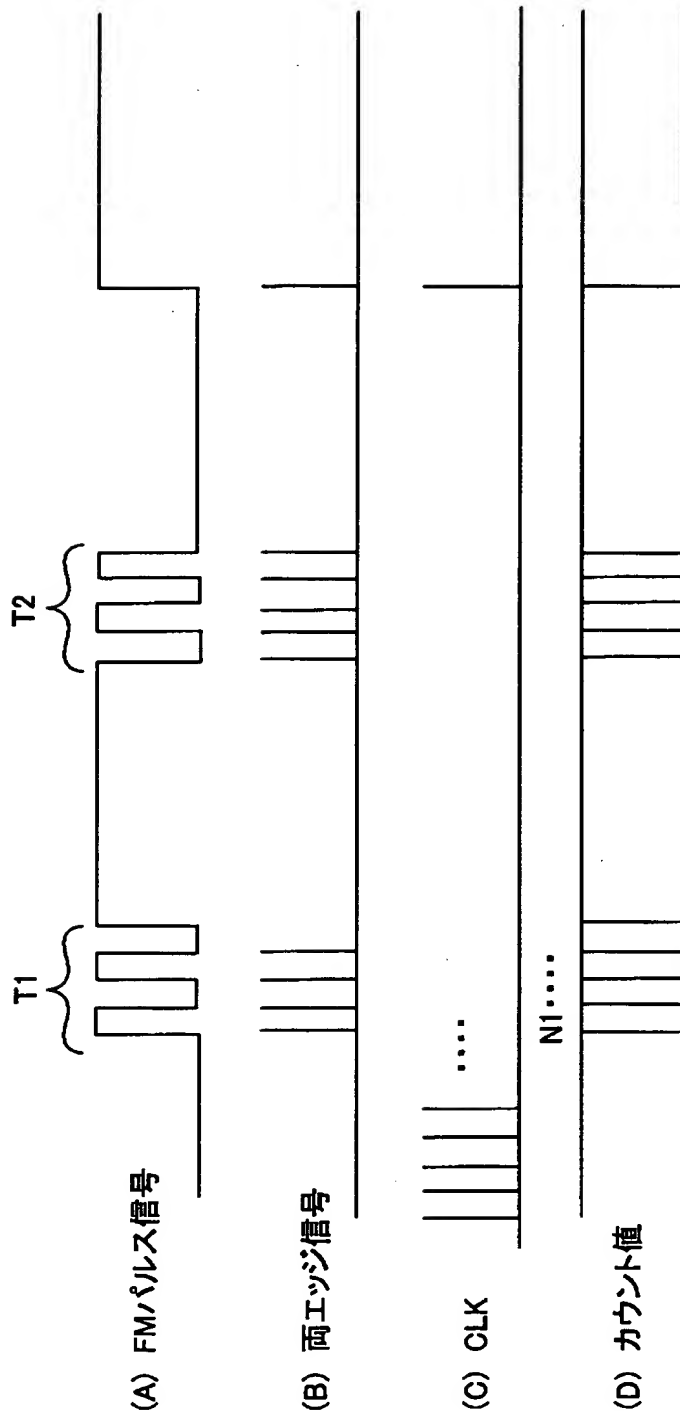
【図 9】



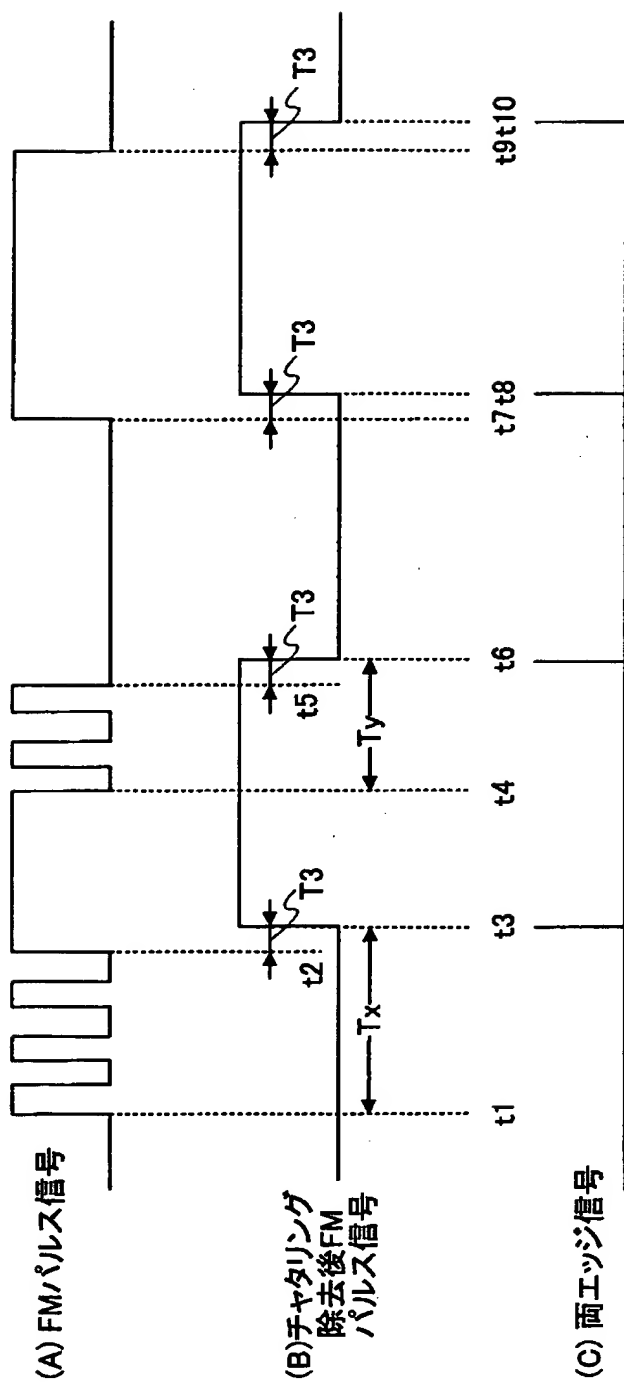
【図 1 0】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 本発明は、パルス信号を正確な周期で信号処理することのできる信号処理回路及び信号処理方法を提供することを目的とする。

【解決手段】 ウォブル信号処理部 4 8 に設けられた信号処理回路 3 0 は、正極性ゲート 7 1、負極正ゲート 7 2、カウンタ回路（正極性） 7 3、カウンタ回路（負極性） 7 4、ラッチ回路 7 5、7 6、切り替え回路 7 8、デジタル L P F 7 9、R - S フリップフロップ 7 7、遅延回路 8 0、8 1、8 2、O R ゲート 8 3 で構成される。このように、信号処理回路に正・負極性の 2 つのゲートを設けることで、チャタリングを除去することができ、より正確な周期で信号処理を行うことができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003676]

1. 変更年月日 1990年 8月27日
[変更理由] 新規登録
住 所 東京都武蔵野市中町3丁目7番3号
氏 名 ティアック株式会社